



МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение высшего образования
«Дальневосточный федеральный университет»
(ДВФУ)

ШКОЛА ЕСТЕСТВЕННЫХ НАУК

«СОГЛАСОВАНО»


Руководитель ОП

 Должиков С.В.

« 18 » июня 2015 г.

«УТВЕРЖДАЮ»

Заведующий кафедрой
компьютерных систем

 Кулешов Е.Л.

« 18 » июня 2015 г.

РАБОЧАЯ ПРОГРАММА УЧЕБНОЙ ДИСЦИПЛИНЫ

Цифровая электроника

Направление подготовки 09.03.02 Информационные системы и технологии

профиль «Информационные системы и технологии в связи»

Форма подготовки очная

курс 4 семестр 7
лекции 36 час.
практические занятия – 0 час.
лабораторные работы 72 час.
в том числе с использованием МАО 54 час. в интерактивной форме
в том числе в электронной форме лек. - час. /пр. - /лаб. - час.
всего часов аудиторной нагрузки 108 час.
в том числе с использованием МАО 54 час.
самостоятельная работа 72 час.
в том числе на подготовку к экзамену 27 час.
курсовая работа / курсовой проект - не предусмотрены
зачет 7 семестр
экзамен 7 семестр

Рабочая программа составлена в соответствии с требованиями федерального государственного образовательного стандарта высшего образования, утвержденного приказом Министерства образования и науки от 12.03.2015 г. № 219.

Рабочая программа обсуждена на заседании кафедры компьютерных систем, протокол № 14 от «18» июня 2015 г.

Заведующий (ая) кафедрой Кулешов Е.Л.

Составитель (ли): д.ф.-м.н., профессор Цуканов Д.А.

I. Рабочая программа пересмотрена на заседании кафедры:

Протокол от «_____» _____ 20__ г. № _____

Заведующий кафедрой _____
(подпись) (И.О. Фамилия)

II. Рабочая программа пересмотрена на заседании кафедры:

Протокол от «_____» _____ 20__ г. № _____

Заведующий кафедрой _____
(подпись) (И.О. Фамилия)

Аннотация

Учебная дисциплина «Цифровая электроника» разработана для студентов 4 курса направления подготовки бакалавриата 09.03.02 Информационные системы и технологии, профиль «Информационные системы и технологии в связи», в соответствии с требованиями федерального государственного образовательного стандарта высшего образования, утвержденного приказом Министерства образования и науки РФ от 12.03.2015 № 219.

Дисциплина «Цифровая электроника» входит в базовую часть блока «Дисциплины (модули)» образовательной программы, реализуется на 4 курсе, в 7 семестре. Общая трудоемкость освоения дисциплины составляет 6 ЗЕ (216 час.). Учебным планом предусмотрены лекции (36 час.), лабораторные работы (72 час.), самостоятельная работа студента (108 час.).

Курс посвящён принципам работы цифровых электронных устройств, их структуре и особенностям их применения. Рассматриваются основные типы цифровой аппаратуры, алгоритмы их работы. Изучаются наиболее типичные схемотехнические решения и тенденции их развития. Особое внимание уделено наиболее перспективным микропроцессорным системам.

В курсе рассматриваются ключевые принципы цифровой электроники, особенности цифровых сигналов, способы организации взаимодействия элементов, узлов и устройств цифровых систем. Исследуются алгоритмы функционирования базовых элементов и основные схемы их включения, а также их объединения в составе устройств и систем. Приведены базовые сведения о двоичной логике, о цифровых сигналах, кодах, синхронизации, обозначениях на схемах. Рассмотрены логические элементы с жёсткой логикой работы и с программируемым алгоритмом работы. Описаны принципы построения и применения оперативных и постоянных запоминающих устройств. Приведены принципы организации микропроцессорных систем и взаимодействия их составных частей. Исследованы различные методы обмена информацией и их практическая реализация.

Цель изучения дисциплины - освоение методологических основ цифровой электроники, овладение основами теории построения логических схем, знакомство с принципами формирования и основные характеристики двоичного сигнала, принципами работы и электрофизическими характеристиками основных цифровых устройств; методологией и технологиями проектирования и расчета цифровых узлов и компонентов.

Задачи изучения дисциплины:

- изучение основных стандартов проектирования цифровых устройств;

- приобретение умений и навыков по методологическим основам цифровой электроники;

приобретение умений и навыков в применении методик системного и детального проектирования цифровых узлов и компонентов, овладение соответствующим проектным

Дисциплина «Цифровая электроника» логически и содержательно связана с такими курсами, как «Основы микропроцессорной техники», «Основы электроники и электротехники», «Инструментальные средства информационных систем», «Языки ассемблера» и др.

В результате изучения данной дисциплины у обучающихся формируются следующие общепрофессиональные и профессиональные компетенции (элементы компетенций).

Код и формулировка компетенции	Этапы формирования компетенции	
ОПК-3, способностью применять основные приемы и законы создания и чтения чертежей и документации по аппаратным и программным компонентам информационных систем	знает (пороговый уровень)	разновидности чертежей и документации по аппаратным и программным компонентам информационных систем
	умеет (продвинутый)	создавать и читать чертежи и документацию
	владеет (высокий)	автоматизированными комплексами для создания чертежей и документации
ПК-13, способностью разрабатывать средства автоматизированного про-	знает (пороговый уровень)	средства автоматизированного проектирования информационных технологий
	умеет (продви-	разрабатывать средства автоматизированного

ектирования информационных технологий	нутый)	проектирования информационных технологий
	владеет (высокий)	способностью разрабатывать средства автоматизированного проектирования информационных технологий
ПК-20, способностью проводить оценку производственных и непроизводственных затрат на обеспечение качества объекта проектирования	знает (пороговый уровень)	методы производственных и непроизводственных затрат
	умеет (продвинутый)	проводить оценку производственных и непроизводственных затрат
	владеет (высокий)	способностью проводить оценку производственных и непроизводственных затрат на обеспечение качества объекта проектирования
ПК-29, способностью проводить сборку информационной системы из готовых компонентов	знает (пороговый уровень)	принципы сборки информационной системы из готовых компонентов
	умеет (продвинутый)	проводить сборку информационной системы из готовых компонентов
	владеет (высокий)	способностью проводить сборку информационной системы из готовых компонентов

Содержание дисциплины охватывает круг вопросов, связанных с методологическими основами цифровой электроники. Изучая дисциплину, студенты осваивают: основы теории построения логических схем, принципы формирования и основные характеристики двоичного сигнала, принципы работы и электрофизические характеристики основных цифровых устройств; методологии и технологии проектирования и расчета цифровых узлов и компонентов.

I. СТРУКТУРА И СОДЕРЖАНИЕ ТЕОРЕТИЧЕСКОЙ ЧАСТИ КУРСА

лекции - 36 часов

Тема 1. Введение в курс цифровой электроники (2 часа)

Лекция 1. Цифровая электронная схема. Цифровой сигнал. Применение цифровых схем. Приборы цифровой электроники (2 часа).

Тема 2. Основы теории логических схем (10 час.)

Лекция 2. Логическая переменная. Логические высказывания. Системы исчисления: двоичная, десятичная, шестандцатеричная. (2 часа)

Лекция 3. Булева алгебра. Основные теоремы Булевой алгебры (теоремы с одной переменной, теоремы с двумя и более переменными). Таблица истинности. (2 часа)

Лекция 4. Булевы функции. Способы задания Булевых функций (словесный, табличный, алгебраичный, числовой). Примеры. (2 часа)

Лекция 5. Переход от алгебраической формы к структурной схеме и наоборот. Логические элементы (элементы И, ИЛИ, исключающее ИЛИ, НЕ). Функционально полные системы логических элементов. Наборы логических элементов И, ИЛИ, НЕ (И-НЕ, ИЛИ-НЕ). (2 часа)

Лекция 6. Минимизация Булевых функций. Карты Карно. Примеры реализации Булевых функций. (2 часа)

Тема 3. Основы построения логических схем (12 часов)

Лекция 7. Импульсные сигналы: основные параметры и терминология. Электрический импульс (форма импульса, фронт импульса, срез импульса, длительность импульса, коэффициент заполнения, скважность). Ключевой режим. Ключевые схемы. (2 часа)

Лекция 8. Ключи на биполярных транзисторах. Транзисторные ключи: назначение, схемы, элементы. Схема с общим эмиттером. Схема с общим коллектором. Схема с общей базой. Достоинства и недостатки транзисторных ключей с различными схемами. (2 часа)

Лекция 9. Переходные процессы в ключах с общим эмиттером. Алгоритм расчета переходных характеристик. Ограничения быстродействия транзисторных ключей и приемы их исправления: использование в базе ускоряющих емкостей, ключ с ускоряющим диодом, ключ с диодом Шоттки. (2 часа)

Лекция 10. Логические элементы на реле и переключателях. Физический эквивалент логической переменной. Логические схемы И, ИЛИ, НЕ. Резисторно-транзисторная логика (РТЛ): схема, таблица истинности, достоинства и недостатки. (2 часа)

Лекция 11. Диодно-транзисторная логика (ДТЛ): базовые элементы, реализация логических элементов, преимущества перед РТЛ. Транзисторно-

транзисторная логика (ТТЛ). Построение логических элементов на базе ТТЛ. Элементы ТТЛ с разными выходными каскадами: элементы с открытым коллектором, элементы со сложным выходным каскадом, элементы с тремя состояниями на выходе. Шинный формирователь. (2 часа)

Лекция 12. Ключи на полевых транзисторах. Структура Металл-Оксид-Полупроводник (МОП). Ключ с динамической нагрузкой. Ключ на комплементарных парах (КМОП-технология). Базовые элементы КМОП-логики. (2 часа)

Тема 4. Основные узлы цифровых устройств. (12 часов)

Лекция 13. Триггеры: назначение, характеристики, классификация. RS-триггеры. T-триггеры (счетные триггеры). D-триггеры (триггеры задержки). JK-триггеры. Графические обозначения. (2 часа)

Лекция 14. RS-триггеры, синхронные RS-триггеры: схемотехника, таблица истинности. Запрещенное состояние. Триггеры на элементах ИЛИ-НЕ. (2 часа)

Лекция 15. T-триггеры (одно- и двуступенчатые). Счетчики на T-триггерах. D-триггеры (одно- и двуступенчатые). Счетчики на D-триггерах. JK-триггеры (одно- и двуступенчатые). (2 часа)

Лекция 16. Регистры: назначение и классификация. Регистры хранения. Сдвиговые регистры. Универсальные регистры. (2 часа)

Лекция 17. Двоичные счетчики: назначение и классификация. Дешифраторы: классификация и назначение. Мультиплексоры. Сумматоры: назначение и классификация. Полусумматор. Полный сумматор. Многоразрядный сумматор. (2 часа)

Лекция 18. Устройства памяти на основе цифровых схем. Алгоритмы работы. Работа с шиной данных. Циклы чтения и записи памяти. (2 часа)

Конспекты лекций приводятся в Приложении 1.

II. СТРУКТУРА И СОДЕРЖАНИЕ ПРАКТИЧЕСКОЙ ЧАСТИ КУРСА

**Лабораторные работы (72 часа),
в т.ч. с использованием методов интерактивного/активного обучения -
компьютерное моделирование (54 часа)**

Лабораторная работа 1. Изучение характеристик интегральных логических элементов (8 час.)

Лабораторная работа 2. Синтез комбинационных логических схем (8 час.)

Лабораторная работа 3. Триггеры. Часть 1. (8 час.)

Лабораторная работа 4. Триггеры. Часть 2. (8 час.)

Лабораторная работа 5. Регистры (8 час.)

Лабораторная работа 6. Счетчики импульсов (8 час.)

Лабораторная работа 7. Изучение микросхем памяти (8 час.)

Лабораторная работа 8. Синтез цифровых автоматов. Часть 1. (8 час.)

Лабораторная работа 9. Синтез цифровых автоматов. Часть 2 (8 час.)

Содержание лабораторных работ приводится в приложении 2.

III. УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ САМОСТОЯТЕЛЬНОЙ РАБОТЫ ОБУЧАЮЩИХСЯ

Учебно-методическое обеспечение самостоятельной работы обучающихся по дисциплине «Цифровая электроника» представлено в Приложении 3 и включает в себя:

- план-график выполнения самостоятельной работы по дисциплине, в том числе примерные нормы времени на выполнение по каждому заданию;
- характеристика заданий для самостоятельной работы обучающихся и методические рекомендации по их выполнению;

- требования к представлению и оформлению результатов самостоятельной работы;
- критерии оценки выполнения самостоятельной работы.

IV. КОНТРОЛЬ ДОСТИЖЕНИЯ ЦЕЛЕЙ КУРСА

№ п/п	Контролируемые разделы / темы дисциплины	Коды и этапы формирования компетенций	Оценочные средства		
			текущий контроль	промежуточная аттестация	
1	Тема 1. Введение в курс цифровой электроники	ОПК-3	знает	самостоятельная работа	экзамен, вопросы 1-4
			умеет	самостоятельная работа	задание, тип 1
			владеет	самостоятельная работа	задание, тип 1
2	Тема 2. Основы теории логических схем	ОПК-3, ПК-13,	знает	самостоятельная работа	экзамен, вопросы 5-10
			умеет	самостоятельная работа	задание, тип 2
			владеет	самостоятельная работа	задание, тип 2
3	Тема 3. Основы построения логических схем	ОПК-3, ПК-13, ПК-20, ПК-29	знает	самостоятельная работа	экзамен, вопросы 11-18
			умеет	самостоятельная работа	задание, тип 3
			владеет	самостоятельная работа	задание, тип 3
4	Тема 4. Основные узлы цифровых устройств	ОПК-3, ПК-13, ПК-20, ПК-29	знает	самостоятельная работа	экзамен, вопросы 19-32
			умеет	самостоятельная работа	задание, тип 4
			владеет	самостоятельная работа	задание, тип 4

Вопросы к экзамену

1. Двоичная переменная. Основные логические операции.
2. Основные теоремы Булевой алгебры. Теоремы с одной переменной.
3. Основные теоремы Булевой алгебры. Теоремы с двумя и более переменными.
4. Булевы функции. Словесный и табличный способы задания Булевых функций.
5. Алгебраический и числовой способы задания Булевых функций. Примеры.
6. Переход от алгебраической формы к логической схеме и наоборот. Примеры.
7. Функционально полные системы логических элементов.
8. Минимизация Булевых функций. Карты Карно. Примеры.
9. Импульсные сигналы. Основные определения и терминология.
10. Ключи на биполярных транзисторах.
11. Переходные процессы в ключах на биполярных транзисторах.
12. Способы увеличения быстродействия ключей на биполярных транзисторах.
13. Ключи на полевых транзисторах. Ключ с резистивной нагрузкой.
14. Ключи на полевых транзисторах. Ключ с нелинейной нагрузкой.
15. Логические элементы на переключателях и диодах.
16. Резистивно-транзисторная логика. Базовые элементы.
17. Диодно-транзисторная логика. Базовые элементы.
18. Транзисторно-транзисторная логика (ТТЛ). Базовые элементы ТТЛ.
19. Элементы ТТЛ со сложным выходным каскадом, с тремя состояниями.
20. КМОП-логика.
21. Общая характеристика, классификация триггеров. RS-триггеры.
22. Синхронные RS-триггеры. T-триггеры.
23. D- и JK-триггеры.
24. D- и JK-триггеры в счетном режиме.

25. Классификация и назначение регистров. Регистры хранения. Примеры.
26. Сдвиговые и универсальные регистры. Примеры.
27. Классификация и назначение счетчиков.
28. Счетчики с произвольным коэффициентом деления.
29. Классификация и назначение шифраторов и дешифраторов.
30. Мультиплексоры.
31. Назначение, классификация сумматоров. Полусумматор.
32. Полный сумматор. Построение многоуровневых сумматоров.

Типовые контрольные задания, методические материалы, определяющие процедуры оценивания знаний, умений и навыков и (или) опыта деятельности, а также критерии и показатели, необходимые для оценки знаний, умений, навыков и характеризующие этапы формирования компетенций в процессе освоения образовательной программы, представлены в Приложении 4.

V. СПИСОК УЧЕБНОЙ ЛИТЕРАТУРЫ И ИНФОРМАЦИОННО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Основная литература

(электронные и печатные издания)

1. Янсен, И. Курс цифровой электроники. Т. 1, 2, 3. / И. Янсен. — М.: Мир, 1987. — 343 с. — Режим доступа: ЭБС twirpx.com, <https://www.twirpx.com/file/1366595/>
2. Гусев, В.В. Основы импульсной и цифровой техники / В.В. Гусев. - М.: Советская школа, 1975. — 467 с. — Режим доступа: ЭБС twirpx.com, <http://znanium.com/go.php?id=473097>
3. Титце, У. Полупроводниковая схемотехника: Справочное руководство. / У. Титце, К. Шенк. — М.: Мир, 1982. — 512 с. — Режим доступа: ЭБС IPRbooks <http://www.iprbookshop.ru/15854>

4. Хоровиц П. Искусство схемотехники: В 3-х томах: Т.1,2,3. Пер. с англ. / П. Хоровиц, У. Хилл. - М.: Мир, 1983. – 367 с. — Режим доступа: ЭБС IPRbooks <http://www.iprbookshop.ru/22438>

5. Основы цифровой электроники: [Электронный ресурс]: учебное пособие для высших учебных заведений. / Интернет – Электрон. Дан. – Режим доступа: ЭБС RBTL.RU <http://www.rbt.ru/wsap/posobie/>

6. Смирнова, Г.Н. Проектирование экономических информационных систем : учебник / Г.Н. Смирнова, А.А. Сорокин, Ю.Ф. Тельнов ; под ред. Ю.Ф. Тельнова. — 2-е изд. — М.: Финансы и статистика, 2007. — 512 с. ЭК НБ ДВФУ: <http://lib.dvfu.ru:8080/lib/item?id=chamo:258116&theme=FEFU>

7. Соловьев, И.В. Проектирование информационных систем. Фундаментальный курс.: учеб. пособие / И.В. Соловьев, А.А. Майоров ; под ред. В.П. Савиных. — М.: Академический проект, 2009. — 398 с. ЭК НБ ДВФУ: <http://lib.dvfu.ru:8080/lib/item?id=chamo:295823&theme=FEFU>

Дополнительная литература

(печатные и электронные издания)

1. Вендров, А.М. Проектирование программного обеспечения экономических информационных систем: учебник / А.М. Вендров. – 2-е изд. – М.: Финансы и статистика, 2005. – 544 с.

ЭК НБ ДВФУ: <http://lib.dvfu.ru:8080/lib/item?id=chamo:247734&theme=FEFU>

2. Грекул, В.И. Управление внедрением информационных систем : учеб. пособие [Электронный ресурс] / В.И. Грекул, Г.Н. Денищенко, Н.Л. Коровкина. — М.: Интернет-Ун-т Информ. технологий, 2008. — 224 с. — Режим доступа: ЭБС IPRbooks <http://www.iprbookshop.ru/16102>

3. Избачков, Ю.С. Информационные системы: учебник для вузов / Ю. Избачков, В. Петров, А. Васильев, И. Телина. – 3-е изд. – СПб. : Питер, 2011. – 544 с.

ЭК НБ ДВФУ: <http://lib.dvfu.ru:8080/lib/item?id=chamo:340811&theme=FEFU>

4. Калянов, Г.Н. Моделирование, анализ, реорганизация и автоматизация бизнес-процессов : учеб. пособие для вузов / Г.Н. Калянов. – М.: Финансы и статистика, 2006. – 240 с.

ЭК НБ ДВФУ: <http://lib.dvfu.ru:8080/lib/item?id=chamo:235258&theme=FEFU>

5. Скрипкин, К.Г. Экономическая эффективность информационных систем [Электронный ресурс] / К.Г. Скрипкин. — М.: ДМК Пресс, 2009. — 256 с. — Режим доступа: ЭБС IPRbooks <http://www.iprbookshop.ru/7635>

Нормативно-правовые материалы

1. ГОСТ 34.003-90. Информационная технология. Комплекс стандартов на автоматизированные системы. Автоматизированные системы. Термины и определения [Текст]. - Взамен ГОСТ 34.003-84, ГОСТ 22487-77 - Введ. 1992-01-01. - М.: Изд-во стандартов, 1997: <http://www.internet-law.ru/gosts/gost/10673/>

2. ГОСТ 34.201-89. Виды, комплектность и обозначение документов при создании автоматизированных систем [Текст]. - Введ. 1990-01-01. - М.: Изд-во стандартов, 1997: <http://www.internet-law.ru/gosts/gost/11319/>

3. ГОСТ 34.601-90. Информационная технология. Комплекс стандартов на автоматизированные системы. Автоматизированные системы. Стадии создания [Текст]. - Взамен ГОСТ 24.601-86, ГОСТ 24.602-86. - Введ. 1990-29-12. - М.: Изд-во стандартов, 1997: <http://www.internet-law.ru/gosts/gost/10698/>

4. ГОСТ 34.602-89. Информационная технология. Комплекс стандартов на автоматизированные системы. Автоматизированные системы. Техническое задание на создание автоматизированной системы [Текст]. - Взамен ГОСТ 24.201-85. - Введ. 1990-01-01. - М.: Изд-во стандартов, 1997: <http://www.internet-law.ru/gosts/gost/11254/>

5. ГОСТ 34.603-92. Информационная технология. Комплекс стандартов на автоматизированные системы. Автоматизированные системы. Виды испытаний автоматизированных систем [Текст]. - Введ. 1993-01-01. - М.: Изд-во стандартов, 1991: <http://www.internet-law.ru/gosts/gost/12467/>

6. ГОСТ Р ИСО/МЭК 12207-2010. Информационная технология. Системная и программная инженерия. Процессы жизненного цикла программных средств [Текст]. - Введ. 2012-01-03. - М.: Стандартиформ, 2011: <http://protect.gost.ru/v.aspx?control=8&baseC=-1&page=0&month=-1&year=-1&search=&RegNum=1&DocOnPageCount=15&id=169094>

7. ГОСТ Р ИСО/МЭК ТО 15271-2002. Информационная технология. Руководство по применению ГОСТ Р ИСО/МЭК 12207 (Процессы жизненного цикла программных средств) [Текст]. - Введ. 2002-05-06. - М.: Изд-во стандартов, 2002: <http://www.internet-law.ru/gosts/gost/6430/>

Перечень ресурсов информационно-телекоммуникационной сети

«Интернет»

1. Государственная программа «Информационное общество» (2011–2020 годы): <http://minsvyaz.ru/ru/activity/programs/1/>

2. Информационное общество. Информационный сайт: http://infdeyatchel.narod.ru/inf_ob.htm

3. Корпоративная информационная система: определение и структура. Современные подходы к построению корпоративных информационных систем. - Образовательный портал: <http://e-educ.ru/ism14.html>

4. Корпоративные информационные системы. - Портал «Корпоративный менеджмент». Библиотека управления, статьи и пособия: <http://www.cfin.ru/software/kis/>

VI. МЕТОДИЧЕСКИЕ УКАЗАНИЯ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ

Общая трудоемкость дисциплины составляет 180 час. (5 ЗЕ). Аудиторные занятия составляют 108 час. в виде лекций (36 час.) и лабораторных работ (72 час.).

По дисциплине предусмотрена самостоятельная работа в объеме 72 час. Рекомендуется учащимся планировать внеаудиторную самостоятельную работу в объеме 3,5 часа в учебную неделю.

Для углубленного изучения теоретического материала курса дисциплины рекомендуются использовать основную и дополнительную литературу, указанную в приведенном выше перечне.

Рекомендованные источники доступны обучаемым в научной библиотеке (НБ) ДВФУ (в перечне приведены соответствующие гиперссылки этих источников), а также в электронных библиотечных системах (ЭБС), с доступом по гиперссылкам — ЭБС twirpx.com, ЭБС издательства "Лань" (<http://e.lanbook.com/>), ЭБС Znanium.com НИЦ "ИНФРА-М" (<http://znanium.com/>), ЭБС IPRbooks (<http://iprbookshop.ru/>) и другие ЭБС, используемые в ДВФУ¹.

VII. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Для проведения исследований, связанных с выполнением задания по практике, а также для организации самостоятельной работы студентам доступно следующее лабораторное оборудование и специализированные кабинеты, соответствующие действующим санитарным и противопожарным нормам, а также требованиям техники безопасности при проведении учебных и научно-производственных работ:

Наименование оборудованных помещений и помещений для самостоятельной работы	Перечень основного оборудования
Владивосток, о. Русский, п. Аякс д.10, корпус L, ауд. L 565 учебная аудитория для проведения занятий лекционного типа, занятий семинарского типа, групповых и индивидуальных консультаций, текущего контроля и промежуточной аттестации	Мультимедийное оборудование: ЖК-панель 47", Full HD, LG M4716 CCBA - 1 шт. Парты и стулья

¹ <https://www.dvfu.ru/library/electronic-resources/>

<p>Владивосток, о. Русский, п. Аякс д.10, корпус L, ауд. L 503 специализированная лаборатория кафедры КС: Лаборатория радиотехники и радиоэлектроники</p>	<p>7 4-х канальных цифровых модулей визуализации сигналов, 2 циф, осциллографа C1-65, 2-х канальный модуль цветной визуализации сигналов:Осциллограф TDS-3012B, 6 2-х канальных цифровых модулей визуализации сигналов с изолированными вх.TPS-2012, 2-х канальный формирователь сигналов произвольной формы: Генератор AFG-3022, широкополосный формирователь сигналов произвольной формы:Генератор AFG-3101, программируемый источник питания постоянного тока LPS-304, столы лабораторные и стулья</p>
<p>Читальные залы Научной библиотеки ДВФУ с открытым доступом к фонду (корпус А - уровень 10) Учебная аудитория для проведения самостоятельной работы</p>	<p>Моноблок HP ProOne 400 All-in-One 19,5 (1600x900), Core i3-4150T, 4GB DDR3-1600 (1x4GB), 1TB HDD 7200 SATA, DVD+/-RW, GigEth, Wi-Fi, BT, usb kbd/mse, Win7Pro (64-bit)+Win8.1Pro(64-bit), 1-1-1 Wtu Скорость доступа в Интернет 500 Мбит/сек. Рабочие места для людей с ограниченными возможностями здоровья оснащены дисплеями и принтерами Брайля; оборудованы: портативными устройствами для чтения плоскопечатных текстов, сканирующими и читающими машинами видеувеличителем с возможностью регуляции цветовых спектров; увеличивающими электронными лупами и ультразвуковыми маркировщиками</p>

В целях обеспечения специальных условий обучения инвалидов и лиц с ограниченными возможностями здоровья в ДВФУ все здания оборудованы пандусами, лифтами, подъемниками, специализированными местами, оснащенными туалетными комнатами, табличками информационно-навигационной поддержки.



МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение
высшего профессионального образования
«Дальневосточный федеральный университет»
(ДФУ)

ШКОЛА ЕСТЕСТВЕННЫХ НАУК

КОНСПЕКТ ЛЕКЦИЙ
по дисциплине «Цифровая электроника»
Направление подготовки 09.03.02 Информационные системы и
технологии
профиль «Информационные системы и технологии в связи»
Форма подготовки очная

Владивосток

201

ВВЕДЕНИЕ

Электронная промышленность наиболее стремительно начала развиваться в середине прошлого века. С 60-х годов прошлого столетия и до настоящего времени средний годовой темп роста электронной промышленности составил не менее 17%, и на сегодня потенциал развития отрасли далеко не исчерпан. Такого роста не было ни в одной другой отрасли развития мировой промышленности.

Главной движущей силой рынка электроники была и остается полупроводниковая технология. Повышение производительности, миниатюризация и снижение стоимости полупроводниковых приборов всегда вызывали появление новых отраслей применения, которое обеспечивало кратное увеличение спроса на электронные компоненты и рост мирового рынка электроники в целом. Так, в 70-х годах прошлого столетия этим применением было телевидение, а с середины 80-х - компьютер, в 90-х - Интернет и цифровые системы связи, затем совершенно новое приложение успехов цифровой электроники - сотовая и спутниковая связь. Важная для электронной отрасли проблема — это дефицит кадров, которая является актуальной и в настоящее время. Большинство производителей электронного оборудования обеспокоено недостатком квалифицированных специалистов, поэтому и в 21 веке изучение цифровой электроники общепризнанно является чрезвычайно актуальной и до конца не решенной проблемой.

Настоящий курс лекций “Цифровая электроника” читается студентам четвертого курса факультета информационных технологий Института физики и информационных технологий Дальневосточного государственного университета для специальностей “Информационные системы и технологии” и “Компьютерная безопасность”. По данному курсу в библиотеках и читальных залах университета имеется достаточное количество литературы, но на данный момент ни одна из них в полном объеме не соответствует программе, содержащейся в государственных образовательных стандартах второго поколения. Чтобы полностью восполнить образовавшийся пробел и обеспечить

студентов методическими материалами была поставлена цель оформить методические указания в виде конспекта лекций, которые уже более двадцати пяти лет читаются студентам данных специальностей.

Глава 1. Основы теории построения логических схем

§1.1 Логические высказывания. Двоичная переменная. Системы счисления

Теория построения современных логических или цифровых устройств опирается на основные логические высказывания, сформулированные еще в середине IX века английским ученым Дж. Булем. Именно он сформулировал основные положения булевой алгебры, которая полностью опирается на двоичную переменную и, основы которой, спустя почти сто лет, были реализованы на практике в виде первых цифровых устройств.

Буль ввел двоичную переменную исходя из следующих высказываний:

если не ложь, то истина (правда);

если не правда (истина), то ложь.

Введем некоторую двоичную переменную x , которая в высказываниях может принимать только два значения - «ложь» или «правда», или в математических символах, например, значения 0 или 1. Тогда сформулированные Булем высказывания можно математически и логически описать следующим образом:

Операция ИЛИ (OR) [дизъюнкция]

$0 + 0 = 0$ – ложь или ложь есть ложь;

$0 + 1 = 1$ – ложь или правда есть правда;

$1 + 0 = 1$ – правда или ложь есть правда;

$1 + 1 = 1$ – правда или правда есть правда.

Операция И (AND) [конъюнкция]

$0 \cdot 0 = 0$ – ложь и ложь есть ложь;

$0 \cdot 1 = 0$ – ложь и правда есть ложь;

$1 \cdot 0 = 0$ – правда и ложь есть ложь;

$1 \cdot 1 = 1$ – правда и правда есть правда.

Где,

$$x \in \left\{ \begin{array}{l} \text{ложь, } 0 \\ \text{правда, } 1 \end{array} \right\}$$

Операция отрицания или инверсии (или операция НЕ)

Если $x \neq 0$, то $x = 1$; не ложь есть правда;

Если $x \neq 1$, то $x = 0$; не правда есть ложь.

Практическое использование данных высказываний в вычислительных системах позволило сформулировать еще одно логическое высказывание, которое по значимости не уступает ранее введенным Булем, а именно:

Операция исключающее ИЛИ (XOR)

Данное высказывание применимо только к двум двоичным переменным x_1 , x_2 и с помощью таблицы истинности означает следующее:

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

Рассмотренные выше логические высказывания оказались наиболее подходящими для организации вычислений и другой математической обработки в рамках двоичной системы счисления. Если по аналогии с алфавитом букв ввести алфавит цифр, то под *системой счисления* понимают совокупность правил и принятый алфавит цифр для подсчета количества чего – либо.

Системы счисления создавались в процессе эволюции человечества исходя из удобства записи и их практического использования и, по мнению большинства исследователей, имели следующие предпосылки для своего происхождения:

1. Анатомического происхождения, то есть когда для подсчета чего–либо люди использовали особенности строения организма человека, это такие,

как: *пятеричная, десятеричная, двенадцатеричная, двадцатеричная*. Очевидно, что для этих систем основанием послужили количественные характеристики конечностей человека.

2. Алфавитного происхождения: для отображения чего-либо используется уже существующий алфавит, к значкам которого добавляется определенный символ (знак), например, значок «тильда».

3. Машинные системы счисления сформировались в процессе развития цифровой техники. Они включают в себя такие, как:

- Двоичную, алфавит цифр состоит из символов $\{0,1\}$;
- восьмеричную - $\{0,1,2,3,4,5,6,7\}$;
- шестнадцатеричную - $\{0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F\}$

Цифровая электроника работает только в рамках двоичной системы счисления.

Адресное пространство удобно в шестнадцатеричной системе счисления.

4. Прочие системы счисления (обычно римская и вавилонская). Для таких систем принято использовать ограниченное количество символов, подсчет количества которых и определяет количество чего-либо.

Независимо от происхождения, все системы счисления подразделяются на *позиционные* и *непозиционные*.

В *позиционных системах счисления* каждый символ из алфавита цифр несет двойную нагрузку: с одной стороны позиция отображает вес, порядок или разряд числа, с другой стороны – указывает на количество чего-либо. Это позволяет любое число формализовать, т.е. представить в следующем

виде: $\langle \text{число} \rangle = \sum_{i=0}^{m-1} x_i b^i$, где x_i - символ из алфавита цифр;

b – основание;

i – номер позиции справа-налево;

m – количество разрядов при написании числа.

Данное выражение является основой для организации вычислений с помощью электронно-вычислительных машин.

Например: $1023_{10} = 3 \cdot 10^0 + 2 \cdot 10^1 + 0 \cdot 10^2 + 1 \cdot 10^3$

$$110011_2 = 1 \cdot 2^0 + 1 \cdot 2^1 + 0 \cdot 2^2 + 0 \cdot 2^3 + 1 \cdot 2^4 + 1 \cdot 2^5 = 51_{10}$$

К *непозиционным системам счисления* относят такие, где правила вычислений формализовать нельзя (например, римская):

$$IV = V - I$$

$$VIII = V + I + I + I$$

$$XI = X + I$$

Таким образом, в вычислительной технике возможно использование только позиционные системы счисления, а применительно к булевой алгебре, такой системой счисления является двоичная система счисления.

§ 1.2 Основные теоремы Булевой алгебры

Теоретической основой для построения логических схем является Булева алгебра, работа с которой опирается на основные теоремы. Они сформулированы для двоичной переменной, которая обычно обозначается символами латинского алфавита и может принимать только одно из двух значений 0 или 1:

$$X, Y, Z, \dots, A, B, C, D, E \in \{0, 1\}.$$

Как правило, теоремы Булевой алгебры доказываются либо простым перебором, либо с помощью ранее сформулированных теорем. Все основные теоремы сгруппированы по двум категориям:

а) с одной переменной (x), к которым относят:

$$x + 0 = x$$

$$x + x = x$$

$$x + 1 = 1$$

$$x + \bar{x} = 1$$

$$x \cdot 0 = 0$$

$$x \cdot x = x$$

$$x \cdot 1 = x$$

$$x \cdot \bar{x} = 0$$

$$\begin{aligned} &= \\ &x = x \end{aligned}$$

б) теоремы с двумя и более переменными:

1. Переместительный закон:

$$\left. \begin{aligned} x + y &= y + x \\ xy &= yx \end{aligned} \right\}$$

2. Сочетательный закон:

$$\left. \begin{aligned} x + y + z &= x + (y + z) = (x + y) + z = (x + z) + y \\ xyz &= y(xz) = x(yz) = z(xy) \end{aligned} \right\}$$

3. Распределительный закон:

$$\left. \begin{aligned} x(y + z) &= xy + xz \\ xy + z &= (x + z)(y + z) \end{aligned} \right\}$$

Доказательство: раскроем скобки

$$(x + z) \cdot (y + z) = xy + zy + xz + zz = xy + z(y + x + 1) = xy + z \cdot 1 = xy + z$$

4. Закон поглощения:

$$\left. \begin{aligned} x + xy &= x \rightarrow x \cdot 1 + xy = x(1 + y) = x \\ x(x + y) &= x \rightarrow x \cdot x + x \cdot y = x + xy \rightarrow x \end{aligned} \right\}$$

$$\left. \begin{aligned} 5. \quad (x + \bar{y}) \cdot y &= xy \rightarrow xy + \bar{y}y = xy \\ \bar{x}y + y &= x + y \rightarrow x(y + \bar{y}) + y = xy + x\bar{y} + y = x\bar{y} + y(x + 1) = x\bar{y} + y \end{aligned} \right\}$$

6. Закон склеивания:

$$\left. \begin{aligned} xy + \bar{x}y &= y \rightarrow y(x + \bar{x}) = y \\ (x + y) \cdot (\bar{x} + \bar{y}) &= y \rightarrow x\bar{x} + xy + y\bar{x} + y\bar{y} = y(x + \bar{x} + y) = y \end{aligned} \right\}$$

6. Теорема Де Моргана:

$$\left. \begin{aligned} \overline{x + y + z + \dots} &= \bar{x} \cdot \bar{y} \cdot \bar{z} \cdot \dots \\ \overline{xyz} &= \bar{x} + \bar{y} + \bar{z} + \dots \end{aligned} \right\}$$

С помощью данной теоремы можно осуществить переход от одной логической операции к другой.

Данная возможность играет существенную роль при изготовлении логических устройств, а именно существует возможность создания функционально полной системы логических элементов с помощью только одного по функциональности логического элемента, что технологически очень удобно. Доказательство теоремы Де-Моргана приведем на примере двух переменных, построив таблицы истинности для левой и правой частей выражения:

$$\overline{x + y} = \bar{x} \cdot \bar{y}$$

Таблица истинности для левой части выражения будет выглядеть следующим образом:

x	y	$x + y$	$\overline{x + y}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Таблица истинности для правой части выражения будет выглядеть следующим образом:

x	y	\bar{x}	\bar{y}	$\bar{x} \cdot \bar{y}$
0	0	1	1	1
0	1	1	0	0
1	0	0	1	0
1	1	0	0	0

Рассмотрим выражение: $\overline{x \cdot y} = \bar{x} + \bar{y}$. Таблица истинности для левой части:

x	y	$x \cdot y$	$\overline{x \cdot y}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Таблица истинности для правой части выражения будет выглядеть следующим образом:

x	y	\bar{x}	\bar{y}	$\bar{x} + \bar{y}$
0	0	1	1	1
0	1	1	0	1
1	0	0	1	1

1	1	0	0	0
---	---	---	---	---

Сопоставляя значения в таблицах для левой и правой частей выражений получаем тождество, что и требовалось доказать.

§ 1.3 Булевы функции. Способы задания Булевых функций

Все логические схемы, используемые в цифровой электронике, являются прямой реализацией той или иной Булевой функции, то есть прежде чем сконструировать такое устройство, его необходимо сначала математически описать. Это математическое описание всегда начинается с построения Булевых функций, т.е. для определенной комбинации двоичных переменных задается значение Булевых функций.

Задать Булеву функцию – это указать, при каких комбинациях переменных она равна 0, а при каких равна 1.

$F = F(A, B, C, \dots)$, где A, B, C, \dots - аргументы функции $\in \{0, 1\}$;

F – результат или сама функция также $\in \{0, 1\}$.

Каждую комбинацию аргументов называют *набором*. Каждому набору присваивается номер. Общепринято номер набора считать равным числу, отображаемому в скобках двоичными переменными.

Пример: набор равен 5 ($n=5$)

Описываем функцию F для набора: $F=F(1,0,1)$; ($A, C = 1, B = 0$).

Если функция задана во всех наборах, то такую функцию называют *полностью определенной*. Если функция задана только в части наборов, то ее называют *недоопределенной* (или факультативной).

Факультативными называют условия, когда для неопределенных наборов ее можно задать по своему усмотрению. Когда функция задана, дальнейшие ее преобразования опираются на основные теоремы Булевой алгебры.

Порядок выполнения логических операций в конечном выражении полностью соответствует принятому в классической алгебре, за следующими двумя исключениями:

а) Если инверсия только над одной переменной, то она всегда выполняется первой;

б) Если инверсия над алгебраическим выражением, то она выполняется в рамках данного приложения последней.

При этом знак равенства указывает только на то, что левые и правые части от него тождественны.

Существуют следующие способы задания Булевых функций:

1. *Словесный* (описательный) способ – функция задается в виде текста.

Пример: $F(A,B,C)=1$, если аргументы в данном наборе имеют нечетное количество единиц (или если два любых аргумента функции равны 0).

2. *Табличный* способ задания Булевой функции – строится таблица истинности, в которой указываются номера наборов, соответствующее состояние аргументов и значение самой функции для каждого набора.

Например: зададим табличным способом Булеву функцию из трех аргументов, которая принимает значение единицы при четном значении нулей аргументов:

№ набора	A	B	C	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Пример: построим табличным способом Булевы функции управления семисегментным индикатором для трех входных аргументов (двоичных переменных). При этом примем во внимание, что если сигнал, поступающий на

сегмент равен логической единице, то сегмент горит, при логическом нуле – погашен.

Семисегментный индикатор представляет собой набор сегментов, геометрически расположенных относительно друг друга следующим образом:

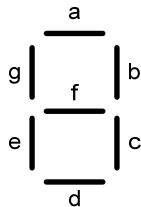


Таблица Булевых функций управления семисегментным индикатором:

№ набора	Переменные			Булевы функции						
	x_1	x_2	x_3	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	0	1
1	0	0	1	0	1	1	0	0	0	0
2	0	1	0	1	1	0	1	1	1	0
3	0	1	1	1	1	1	1	0	1	0
4	1	0	0	0	1	1	0	0	1	1
5	1	0	1	1	0	1	1	0	1	1
6	1	1	0	1	0	1	1	1	1	1
7	1	1	1	1	1	1	0	0	0	0

Таким образом, задано сразу семь Булевых функций, которые зависят от общих трех элементов.

Алгебраический способ задания Булевых функций

Исходным для такого способа является табличное задание Булевых функций. Аналогичная форма необходима для перехода к структурной схеме, для минимизации Булевой функции с целью последующего размещения цифрового устройства на кристалле. Существуют два варианта задания функции алгебраическим способом:

1. Нормальная дизъюнктивная форма или задание Булевых функций по единицам.

Алгоритм задания следующий: из таблицы выбираются номера наборов, где функция равна 1, и строится сумма элементарных произведений этих наборов, при этом если переменная равна 0, то она берется с инверсией (элементарное произведение - произведение всех переменных для данного набора).

Зададим функцию f_e и f_g :

$$f_e = \bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3 + \bar{X}_1 \cdot X_2 \cdot \bar{X}_3 + X_1 \cdot X_2 \cdot \bar{X}_3$$

Все, функция задана алгебраическим способом.

$$f_g = \bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3 + X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 + X_1 \cdot \bar{X}_2 \cdot X_3 + X_1 \cdot X_2 \cdot \bar{X}_3$$

2. Нормальная конъюнктивная форма (или задание Булевых функций по нулям).

Из таблицы выбираются наборы, где функция равна 0 и строится произведение элементарных сумм для этих наборов. Если переменная равна 1, то она берется с инверсией. (Элементарная сумма – сумма всех переменных для данного набора).

Например, зададим f_a и f_d :

$$f_a = (\underbrace{X_1 \bar{X}_2 \bar{X}_3}_{1a}) \cdot (\underbrace{\bar{X}_1 X_2 X_3}_{4a})$$

$$f_d = (\underbrace{X_1 \bar{X}_2 \bar{X}_3}_{1d}) \cdot (\underbrace{\bar{X}_1 X_2 X_3}_{4d}) \cdot (\underbrace{\bar{X}_1 \bar{X}_2 X_3}_{7d}) = f_a(\bar{X}_1 + \bar{X}_2 + \bar{X}_3)$$

Какой из форм отдать предпочтение – определяется эффективностью минимизации Булевой функции. Обе формы абсолютно тождественны.

Числовой способ задания Булевых функций

Является наиболее компактным для задания Булевых функций, но крайне неудобен для их минимизации.

Также существует в двух вариантах (по единицам и по нулям).

1. По единицам:

в этом случае под знаком суммы в скобках через запятую перечисляются те номера наборов, где функция равна единице:

$$f_e = \Sigma (0,2,6)$$

$$f_g = \Sigma (0,4,5,6).$$

2. По нулям:

под знаком произведения в скобках через запятую перечисляются номера наборов, где функция равна нулю:

$$f_a = \Pi (1,4)$$

$$f_d = \Pi (1,4,7).$$

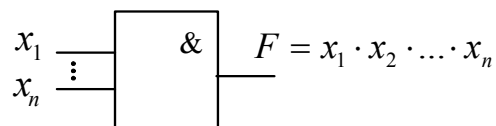
§ 1.4 Переход от алгебраической формы к структурной схеме, и наоборот. Функционально полные системы логических элементов

Для практической реализации Булевой функции надо от алгебраического способа ее представления перейти к структурной схеме.

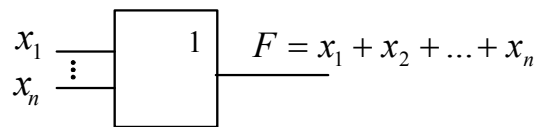
Структурная схема – совокупность логических элементов с установленными между их входами и выходами связями. Структурная схема всегда представляется графически.

Основные элементы графики:

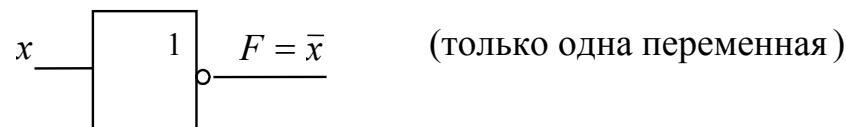
Элемент **И**:



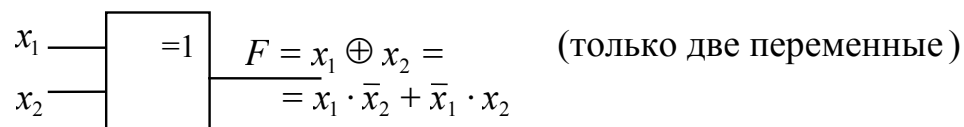
Элемент **ИЛИ**:



Элемент **НЕ**:



Исключающее ИЛИ (XOR):

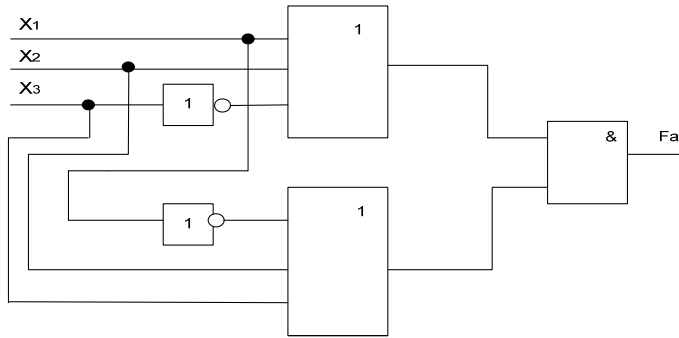


Сумма по модулю 2 – это исключающее ИЛИ над многими переменными (проверка на четность):

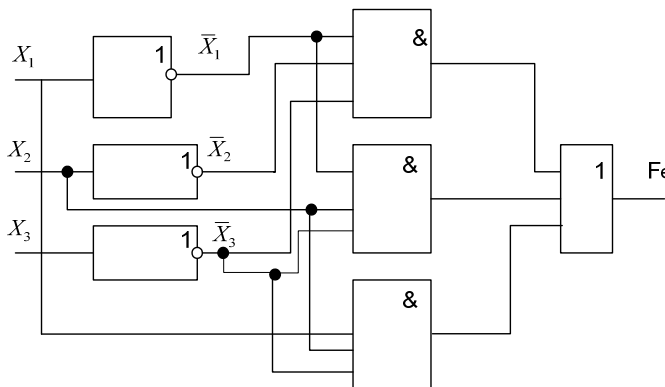
$$x_1 \oplus x_2 \oplus x_3 \oplus \dots \oplus x_n .$$

В качестве примера перейдем от алгебраических форм ранее рассмотренных функций к их структурным схемам:

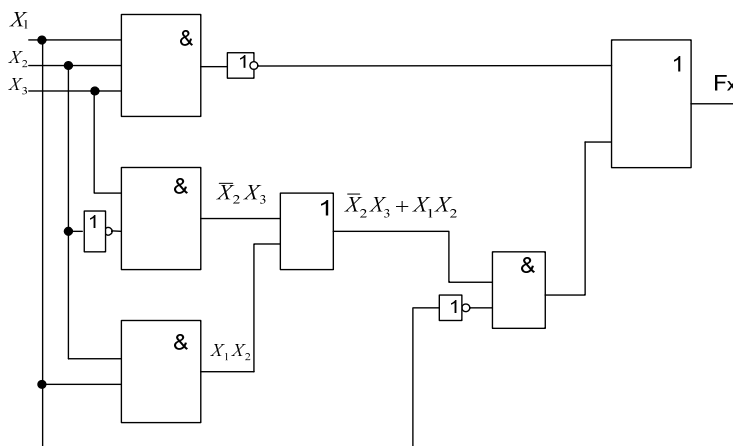
$$f_a = (x_1 + x_2 + \bar{x}_3)(\bar{x}_1 + x_2 x_3)$$



$$f_e = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot \bar{x}_3$$

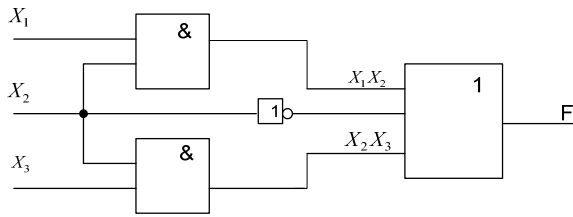


$$F_x = \overline{x_1 \cdot x_2 \cdot x_3} + \bar{x}_1(\bar{x}_2 \cdot x_3 + x_1 \cdot x_2)$$



Обратный переход осуществляется от существующей структурной схемы к алгебраической форме.

Пример:



$$F = x_1x_2 + x_2x_3 + \bar{x}_2 \quad (\text{т.е. идем наоборот, справа – налево}).$$

При использовании интегральных технологий оказывается более технологичным, если в структурной схеме использовано меньшее количество функционально-разных логических элементов.

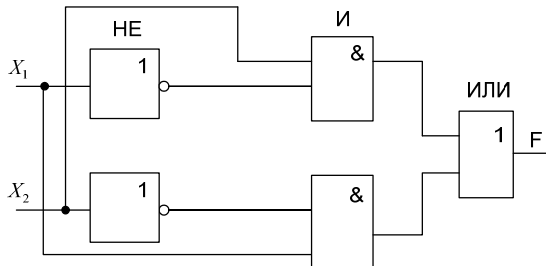
Оптимальным является вариант, когда задействован только какой-то один функциональный элемент, в связи с этим было разработано 5 функционально-полных систем логических элементов.

Под *функционально-полной системой* понимают такой набор логических элементов, с помощью которых можно реализовать любую Булеву функцию:

1. Набор: И, ИЛИ, НЕ.

Не хватает только XOR:

$$F = x_1\bar{x}_2 + \bar{x}_1x_2:$$



2. Набор: И, НЕ.

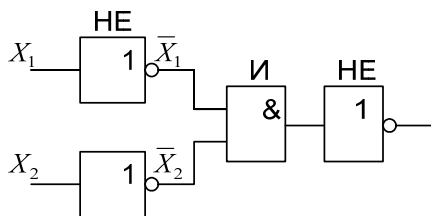
Не хватает: ИЛИ, XOR.

Реализуем из имеющихся элементов операцию ИЛИ:

Используем теорему Де-Моргана:

$$\overline{x_1x_2} = \bar{x}_1 + \bar{x}_2; \quad \overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$$

ИЛИ: $F = x_1 + x_2 = \overline{\bar{x}_1 \cdot \bar{x}_2}$



3. Набор: ИЛИ, НЕ.

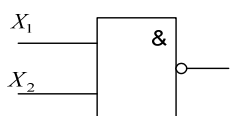
Не достает: И, XOR.

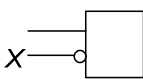
4. Набор: И – НЕ.

Не достает: И, НЕ, ИЛИ.

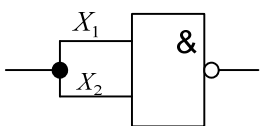
Составим таблицу истинности для элемента 2И – НЕ:

X_1	X_2	Y
0	0	1
0	1	1
1	0	1
1	1	0

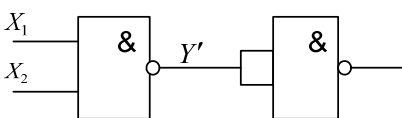


Если кружок на входе:  то это значит, что операция НЕ выполняется над входной переменной.

Создаем НЕ:



Создаем И:



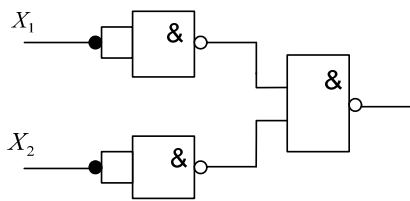
$$y' = \overline{x_1 \cdot x_2} \quad y = \overline{y'} = \overline{\overline{x_1 \cdot x_2}} = x_1 \cdot x_2$$

ИЛИ:

$$y = x_1 + x_2$$

Воспользуемся т. Де-Моргана: $x_1 + x_2 = \overline{\overline{x_1} \cdot \overline{x_2}}$.

Нарисуем правую часть:

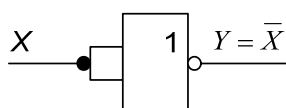


$$y = \overline{\bar{x}_1 \cdot \bar{x}_2} = x_1 + x_2 / \text{ИЛИ}$$

5. Набор: ИЛИ – НЕ.

НЕ:

X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	0



§ 1.5 Минимизация Булевых функций. Карты Карно

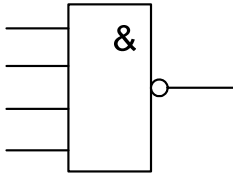
Под *минимизацией Булевых функций* понимают упрощение исходного алгебраического выражения до вида, требующего для практической реализации минимального количества полупроводниковых структур.

Исходным для минимизации является алгебраическая форма представления Булевых функций. Процедура минимизации опирается на применение основных теорем Булевой алгебры. Критерием успешной минимизации является соотношение между исходным количеством полупроводниковых структур, и их количеством в окончательном варианте.

Количество полупроводниковых структур определяется по следующим правилам:

- Одни выход логического элемента И или ИЛИ эквивалентен одному полупроводниковому диоду.
- Операция НЕ эквивалентна одному полупроводниковому транзистору.

Например:



здесь: 4 – диода, 1 – транзистор.

Рассмотрим технологию минимизации на примерах (из предыдущего параграфа), исходная алгебраическая форма:

Пример 1: $F_e = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot \bar{x}_3 =$

$$\left. \begin{array}{l} 3 \text{ тр.} \\ 12 \text{ диодов} \end{array} \right\} \text{исходно}$$

$$= \bar{x}_1 \bar{x}_3 (\bar{x}_2 + x_2) + x_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 \bar{x}_3 =$$

$$= \bar{x}_1 \bar{x}_3 + x_2 \bar{x}_3 (x_1 + \bar{x}_1) = \bar{x}_1 \bar{x}_3 + x_2 \bar{x}_3 =$$

$$= \bar{x}_3 (\bar{x}_1 + x_2) \left. \begin{array}{l} 2 \text{ транзистора} \\ 4 \text{ диода} \end{array} \right\} \text{Всего 6 полупроводниковых структур}$$

Минимизация завершена.

Пример 2:

$$F_a = (x_1 + x_2 + \bar{x}_3)(\bar{x}_1 + x_2 + x_3) \left. \begin{array}{l} = \\ 2 \text{ транзистора} \\ 8 \text{ диодов} \end{array} \right\}$$

$$= x_1 \bar{x}_1 + x_1 x_2 + x_1 x_3 + x_2 \bar{x}_1 + x_2 x_2 + x_2 x_3 + \bar{x}_3 \bar{x}_1 + \bar{x}_3 x_2 + \bar{x}_3 x_3 =$$

$$= x_2 (x_1 + \bar{x}_1 + 1 + \bar{x}_3 + x_3) + x_1 x_3 + \bar{x}_1 \bar{x}_3 =$$

$$= x_2 + x_1 x_3 + \bar{x}_1 \bar{x}_3 \left. \begin{array}{l} 2 \text{ транзистора} \\ 7 \text{ диодов} \end{array} \right\}$$

В тех случаях, когда количество переменных больше трех, удобнее пользоваться не последовательными алгебраическими вычислениями, а специальными картами, которые позволяют автоматизировать процесс минимизации. Это карты Карно.

Основополагающим для составления карт Карно является два термина.

Ранг слагаемого – это количество двоичных переменных, образующих элементарное произведение.

Соседние элементы – такие элементарные произведения, которые отличаются друг от друга только на одну инверсию. Например: $x_1\bar{x}_2x_3$.

Рассмотрим построение карт Карно на примере 4-х переменных. Вид шаблона карт Карно следующий:

$\overbrace{\hspace{10em}}^B$			
$\overbrace{\hspace{5em}}^A$			
$\overline{A}\overline{B}\overline{C}\overline{D}$ 0	$\overline{A}B\overline{C}\overline{D}$ 4	$A\overline{B}\overline{C}\overline{D}$ 12	$A\overline{B}C\overline{D}$ 8
$\overline{A}\overline{B}C\overline{D}$ 1	$\overline{A}BC\overline{D}$ 5	$A\overline{B}C\overline{D}$ 13	$A\overline{B}CD$ 9
$\overline{A}B\overline{C}D$ 3	$\overline{A}BCD$ 7	$AB\overline{C}D$ 15	$AB\overline{C}\overline{D}$ 11
$\overline{A}BC\overline{D}$ 2	$\overline{A}BCD$ 6	$ABC\overline{D}$ 14	$ABC\overline{D}$ 10

$\overbrace{\hspace{10em}}^D$
 $\overbrace{\hspace{5em}}^C$

A, B, C, D - двоичные переменные

Боковые и верхние ризки указывают на то, что переменные в этих полях при построении этих элементарных произведений берутся без инверсии, в противном случае – с инверсией. Каждая ячейка – элементарное произведение всех четырех переменных.

Запишем номер набора для этих четырех переменных.

$$64 - \overbrace{32 - 16 - 8 - 4 - 2 - 1}^{\substack{1 \ 1 \ 1 \ 0 \ 0}} = 28$$

Данный шаблон является основой для задания Булевой функции в виде карты Карно.

Исходным для заполнения является табличный или числовой способ задания Булевых функций. Там, где Булева функция принимает единичное значение, в номера тех наборов вписывается единица.

Например: $F_1 = \sum(0,8,5,13,10)$

Соответствующая этой ф-ии карта Карно:

1			1
	1	1	
			1

Например: $F_2 = \sum(4,12,6,14)$

Соответствующая этой функции карта Карно:

	1	1	
	1	1	

Из шаблона видно, что расположенные в ячейках произведения являются соседними, включая крайние элементы карты. Т.е. при работе с ней всегда надо зрительно представлять ее в виде глобуса.

Автоматизм минимизации Булевой функции, записанной в виде карты Карно следующий:

1) Если единицами полностью заполнены две соседние строки или два соседних столбца, то в результате оставляется слагаемое первого ранга, состоящее из переменной, общей для этих областей.

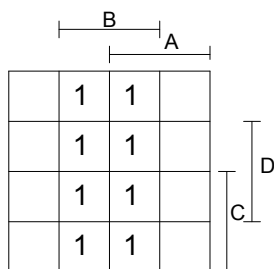
2) Если на карте заполнены полностью строка или столбец, или четыре рядом стоящие ячейки, то в результирующем выражении оставляется слагаемое второго ранга, состоящее из элементов, общих для этих областей.

3) Если в карте Карно заполнены две соседние ячейки, то в конечном выражении оставляется слагаемое третьего ранга, состоящее из переменных, общих для этих обл.

4) Для отдельно заполненной единицей ячейки слагаемое четвертого ранга в результирующем выражении записывается полностью.

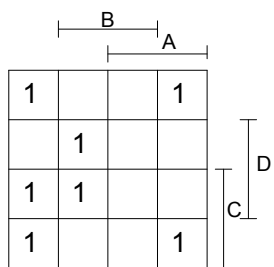
5) В процессе минимизации можно одну и ту же клетку задействовать несколько раз.

Пример 1:



$$F = B$$

Пример 2:



$$\text{Результат минимизации } F = \overline{B}\overline{D} + \overline{A}BD + CD\overline{A}$$

В цифровой электронике все схемы делят на комбинационные и последовательные.

Комбинационные – схемы, которые математически полностью можно описать в рамках Булевой алгебры.

Последовательные – схемы, в которых используются элементы памяти, т.е. выходное состояние Булевой функции таких схем зависит от предыдущего состояния элемента памяти.

Глава 2. Основы построения логических схем

§ 2.1 Импульсные сигналы: основные определения и терминология

В настоящее время в системах радио и проводной связи, в телевидении, радиолокации, в электронных вычислительных машинах и в других областях радиоэлектроники широко используются импульсные устройства. Напряжения и токи в таких устройствах имеют характер импульсов и перепадов.

Электрическим импульсом называют напряжение (ток), отличающееся от постоянного уровня U_0 в течение короткого промежутка времени (в частности, может быть $U_0 = 0$). Понятие «короткий промежуток времени» является условным. Часто под этим понимают время, соизмеримое с длительностью переход-

ных процессов в рассматриваемом устройстве. На рис. 2.1.1 показана одна из возможных форм импульсного напряжения:

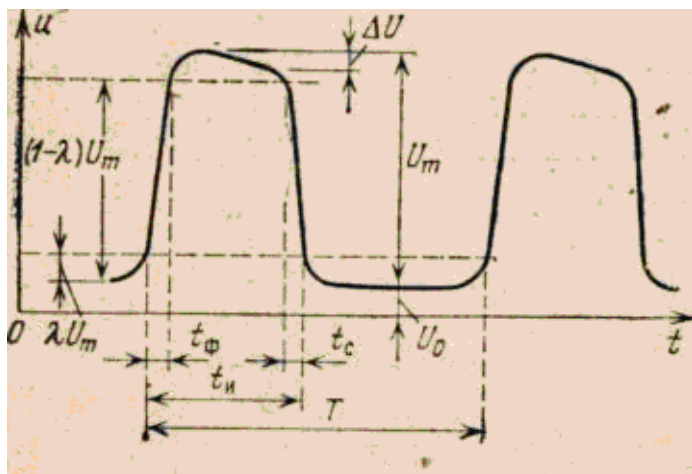


Рис. 2.1.1

Наибольшее отклонение напряжения U_m от исходного уровня U_0 называется *амплитудой* (высотой) *импульса*.

Участок импульса, на котором происходит отклонение напряжения от исходного уровня, называется *фронтом*, а участок импульса, где напряжение возвращается к исходному уровню — *спадом* (срезом). В реальном импульсе, когда бывает трудно точно указать границы фронта и спада, их длительности t_ϕ и t_c отсчитывают между определенными уровнями напряжения λU_m и $(1-\lambda)U_m$. Величина λ может быть различной. Обычно ее выбирают равной 0,05 или 0,1.

Длительность импульса t_u может измеряться на разных уровнях. Длительность импульса, отсчитываемая на уровне λU_m , называется *длительностью импульса по основанию*, а на уровне $(1-\lambda)U_m$ — *длительностью импульса по вершине*. Иногда длительность импульса определяется на уровне 0,5 от амплитудного значения. На рис. 2.1.1 указана длительность импульса по основанию.

Изменение напряжения ΔU на вершине импульса называется *неравномерностью* (завалом) *вершины*.

Если импульсы следуют один за другим через равные промежутки времени, то в этом случае говорят о *периодической последовательности импульсов с периодом T* .

Число импульсов, следующих в течение одной секунды, называется *частотой повторения импульсов F* . Частота повторения, обратная периоду повторения импульсов, равна

$$F = 1/T. \quad (1)$$

Периодическую последовательность импульсов обычно характеризуют коэффициентом заполнения или скважностью. *Коэффициент заполнения ξ* — это отношение длительности импульса к периоду его повторения:

$$\xi = t_u/T. \quad (2)$$

Скважностью импульсов ζ называют отношение интервала между импульсами (скважины) к длительности самого импульса:

$$\zeta = (T - t_u)/t_u. \quad (3)$$

Если длительность импульса много меньше периода повторения, то скважность можно приближенно выразить через коэффициент заполнения:

$$\zeta \approx 1/\xi \quad (4)$$

Импульсы могут иметь различную форму. Наибольшее распространение получили импульсы прямоугольной (трапецеидальной), треугольной и колоколообразной формы (рис. 2.1.2). Название форм является в значительной мере условным.

Прямоугольными (рис. 2.1.2, а) принято называть импульсы, у которых длительности фронта и спада меньше $1/10$ длительности импульса. Если фронт или спад превышает эту величину, то импульсы называют *трапецеидальными*.

У *треугольных* импульсов длительность вершины равна нулю. Широкое распространение получили треугольные импульсы с коротким фронтом ($t_f \approx 0$) — *остроконечные* импульсы (рис. 2.1.2, б), а также импульсы, у которых напряжение (ток) на фронте или спаде изменяется по линейному закону — *пилообразные* импульсы (рис. 2.1.2, в).

Колоколообразные импульсы получили свое название благодаря специфической форме, напоминающей колокол (рис. 2.1.2, з).

Диапазон длительностей импульсов, с которыми приходится иметь дело в современной технике, достаточно велик и лежит в пределах от наносекунд ($1 \text{ нс} = 10^{-9} \text{ с}$) до миллисекунд ($1 \text{ мс} = 10^{-3} \text{ с}$) и более. Частота повторения может быть от единицы герц до сотен мегагерц.

Перепадами напряжения называют быстрые, практически скачкообразные изменения напряжения между двумя уровнями. Если в результате перепада напряжение изменяется от более низкого уровня к более высокому, то такой перепад называют *положительным* и, наоборот, если напряжение изменяется от более высокого уровня к более низкому, — *отрицательным*. Также определяются и перепады тока. На рис. 2.1.3, а, б показаны соответственно положительный и отрицательный перепады напряжения.

Разность уровней напряжения (тока) до и после перепада U_m называют *величиной* (амплитудой) *перепада*, а время изменения напряжения (тока) от одного уровня до другого — длительностью фронта перепада: t_{ϕ}^+ — *длительностью фронта положительного перепада*, t_{ϕ}^- — *длительностью фронта отрицательного перепада*.

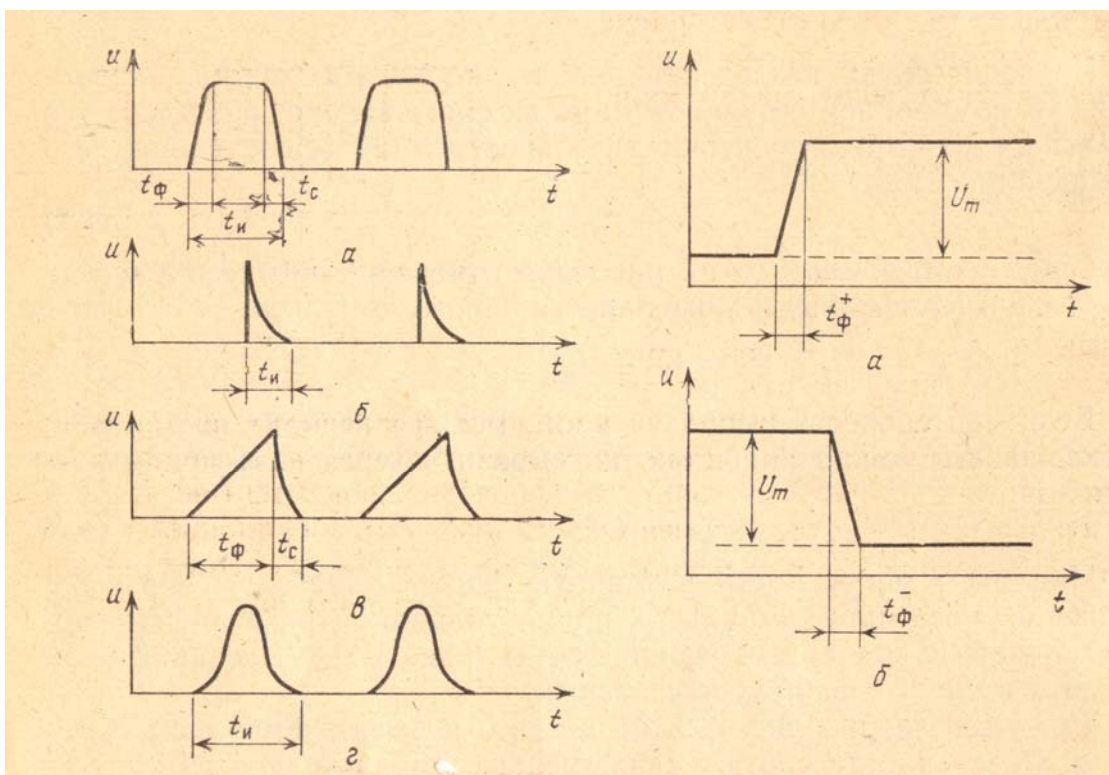


Рис. 2.1.2

Рис. 2.1.3

Периодически повторяющиеся положительные и отрицательные перепады напряжения образуют *напряжение прямоугольной формы*. В частном случае, когда перепады следуют через равные промежутки времени (рис. 2.1.4), напряжение прямоугольной формы называется *меандром*.

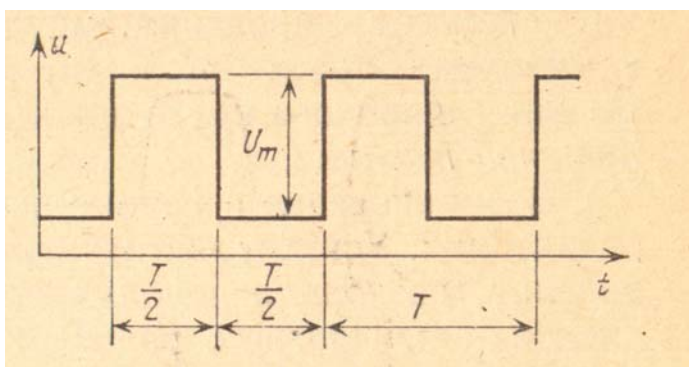


Рис. 2.1.4

При формировании электрических импульсов и перепадов диоды, электронные лампы и транзисторы в схемах обычно работают в *ключевом режиме*. *Ключевой режим* характеризуется двумя состояниями этих приборов: «включено» — «выключено». Простейшие устройства, в которых осуществляется ключевой режим, называются *ключевыми схемами* (или коротко *ключами*).

В общем виде идеализированная схема ключа и график ее выходного напряжения приведены на рис. 2.1.5:

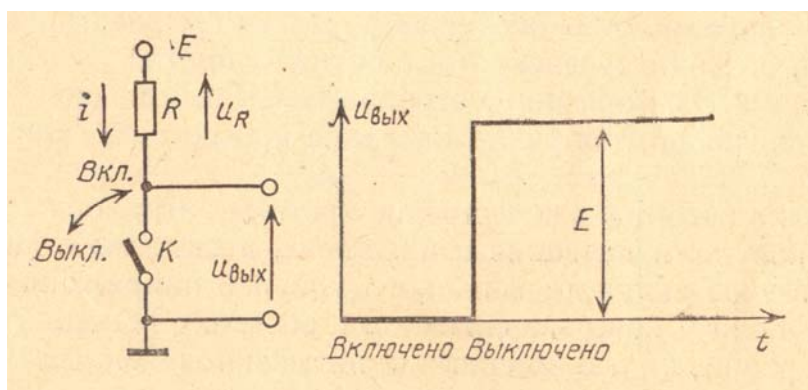


Рис. 2.1.5

В положении «включено», когда контакты K замкнуты, можно, пренебрегая сопротивлением контактов, считать выходное напряжение равным нулю. В положении «выключено», когда контакты K разомкнуты, при отсутствии нагрузки ток i не протекает, падение напряжения u_R на резисторе R равно нулю и, следовательно, напряжение на выходе определяется напряжением источника питания E . Изменение напряжения на выходе при размыкании контактов происходит скачком. Рассмотренный режим работы ключа является идеальным. Мощность, рассеиваемая на коммутирующем приборе K этого ключа, равна нулю: при прохождении тока в положении «включено» равно нулю выходное напряжение, а в положении «выключено» при $u_{\text{вых}} = E$ равен нулю ток.

В реальных ключах, когда в качестве коммутирующего устройства применяют полупроводниковый прибор или электронную лампу, уровни выходного напряжения, соответствующие состояниям «включено» и «выключено», зависят от типа коммутирующего прибора и переход из состояния «включено» в состояние «выключено» происходит не мгновенно, а в течение некоторого времени, обусловленного инерционными свойствами этого прибора и паразитными емкостями схемы. Это приводит к тому, что в реальных ключах мощность, рассеиваемая на коммутирующем приборе, отлична от нуля. Чем боль-

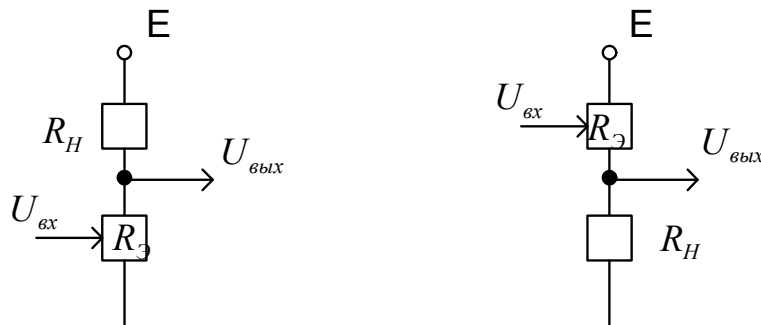
ше остаточное напряжение на нем в положении «включено» и чем больше время перехода ключа из положения «включено» в положение «выключено», тем больше рассеиваемая мощность. Уменьшение мощности рассеивания является первостепенной задачей для ключевой схемы, так как при этом уменьшается выделяемое ключом тепло, благодаря чему повышается надежность его работы и становится возможным увеличить плотность монтажа и уменьшить габариты аппаратуры, не прибегая к специальным мерам для отвода тепла.

§ 2.2 Ключи на биполярных транзисторах

Простейшим цифровым устройством, имеющим самое широкое применение в цифровой электронике, являются *транзисторные ключи*.

Их назначение: усилитель мощности для импульсных сигналов. И дополнительно - согласователи сопротивлений или элемент, реализующий логическую операцию НЕ.

В общем виде ключ может быть представлен одной из следующих схем:

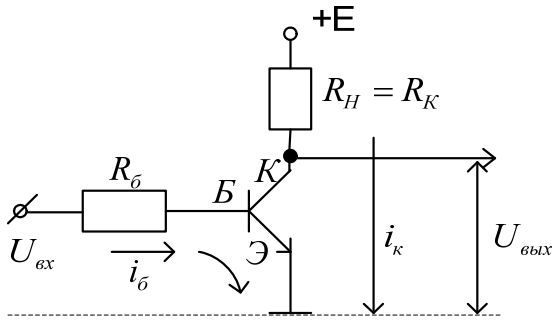


Где: R_H - элемент нагрузки ключа, в качестве которого обычно выступает либо активное сопротивление, либо полевой транзистор.

R_3 - регулирующий элемент, в качестве которого может выступать либо биполярный транзистор, либо полевой транзистор. Общим для них является то, что транзисторы обязаны работать в ключевом режиме.

Рассмотрим основные схемы построения ключей на биполярных транзисторах:

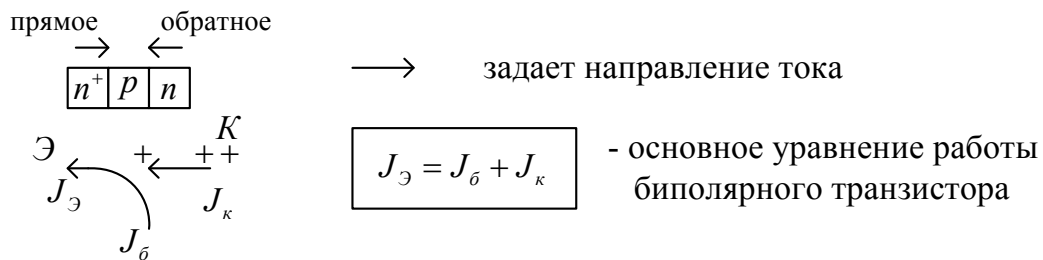
А) Схема с ОЭ:



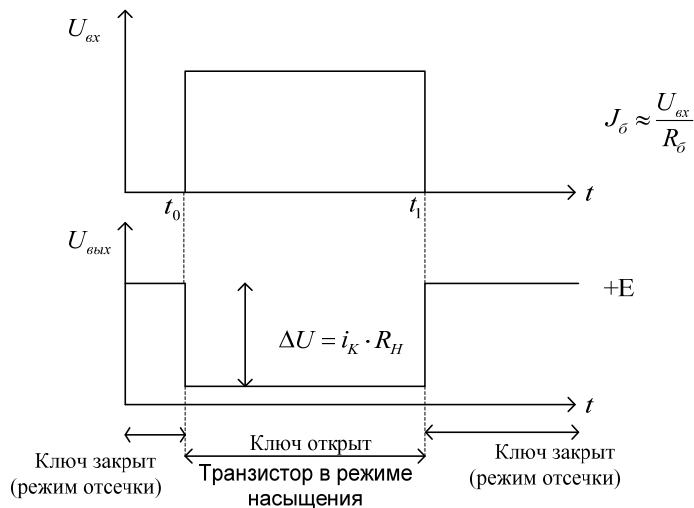
$U_{БЭ} \approx 0,6 \div 0,7V$ - для германиевых структур.

$0,3 \div 0,4V$ - для кремниевых.

Биполярный транзистор:



Если $U_{ax} > 0$, то благодаря возникновению $J_б \neq 0$, согласно основного уровня, обязаны возникнуть $J_к$ и $J_э$. При этом $J_к = \beta \cdot i_б$, β - статический коэффициент передачи тока для схемы с ОЭ. Тогда графическое соотношение между входным и выходным напряжениями следующее:



Для диодов Шотки: $0,1 \div 0,15 V$.

Когда появится ток базы, обязаны появиться и $i_э$, и $i_к$.

Разность потенциалов, которая появится здесь - это падение напряжения на сопротивлении.

Или это величина (если ее провести через i_{σ}):

$$\Delta U = \beta i_{\sigma} \cdot R_H$$

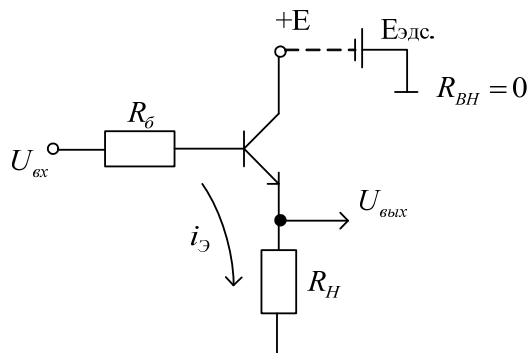
Эти режимы транзистора являются основой для построения ключей.

Как видно из диаграмм, если принять во внимание, что логической единице соответствует высокий уровень, а логическому минимуму – низкий, то данный ключ является инвертирующим, т.е. дополнительно реализует логическую операцию НЕ (инвертор).

Ключи с ОЭ находят широкое применение для управления элементами индикации и коммутационными устройствами, а также в качестве преобразователей логических уровней.

Другое широкое применение ключа – получение входного устройства, со входным сопротивлением $\approx R_{\sigma}$.

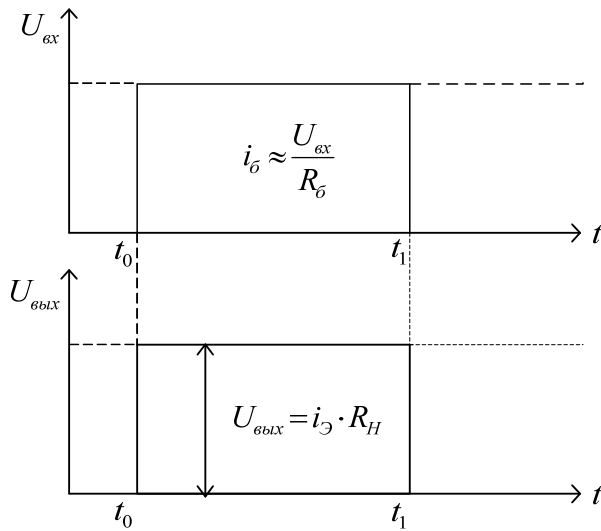
Б) Схема с ОК:



Источник ЭДС и источник тока различаются внутренним сопротивлением.

У источника тока $R_{ВН} \rightarrow \infty$.

Рассмотрим работу такого ключа графически:

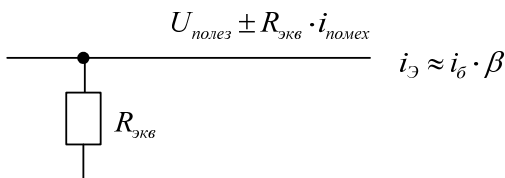


Обязан появиться $J_э$, но его появление приведет к появлению $U_{\text{вых}} = i_э \cdot R_{\text{н}}$.

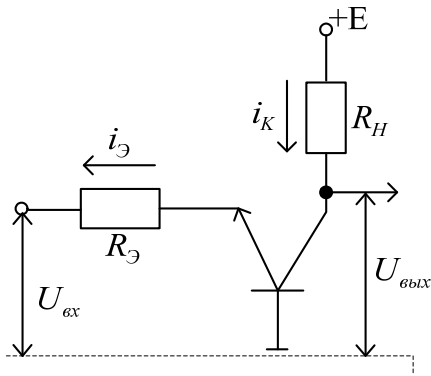
Но если учесть, что $i_э \approx i_б \cdot \beta$, то данное устройство осуществляет усиление мощности сигнала при практически неизменной амплитуде выходного сигнала относительно входного. Поэтому такое устройство часто называют *эмиттерным повторителем*.

Ключ является неинвертирующим (видно из диаграмм, т.е. логическая единица равна логической единице на выходе). Данный тип ключей используют в тех случаях, когда необходимо построить импульсное устройство с большим входным сопротивлением, поскольку:

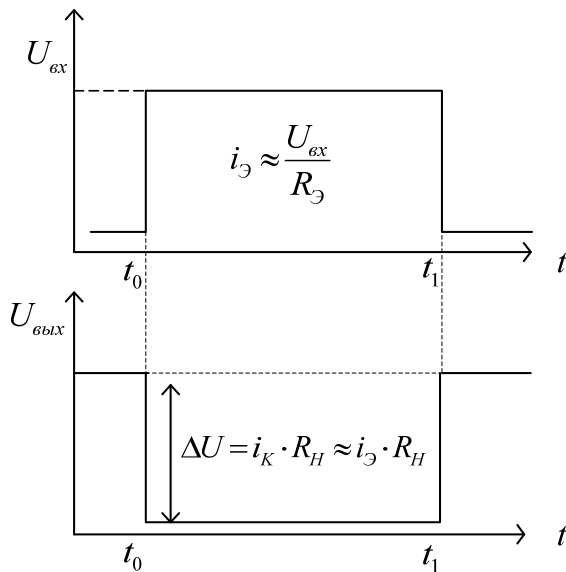
$$R_{\text{вх}} \approx R_{\text{б}} + \beta \cdot R_{\text{н}}$$



В) Схема с ОБ:



Рассмотрим работу такого ключа графически:



$$i_3 = i_{\sigma} + i_K$$

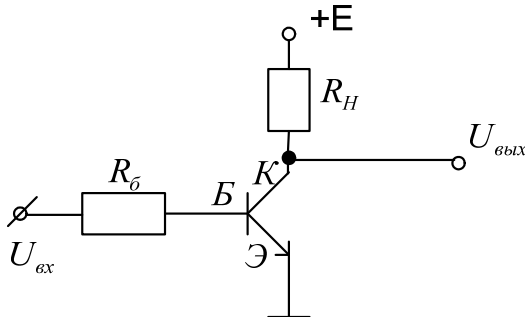
Если пренебречь i_{σ} , то $i_3 = i_K$, поэтому $\Delta U \approx i_K \cdot R_H \approx i_3 \cdot R_H$.

Данное устройство часто используется в тех случаях, когда необходимо согласование с низкоомной линией со стороны приемника. Поскольку $R_{\text{вх}} \approx R_3$, а его можно сделать низкоомным или вообще убрать. С другой стороны устройство позволяет осуществить переход от одного уровня сигнала к другому. От $-U_{\text{вх}}$ к $+U_{\text{вых}}$ (на входе отрицательный, на выходе - положительный сигнал). Как правило для этих целей ключ и используется.

Т.о. применение каждого из рассмотренных выше ключей определяется заданными значениями входного сопротивления, выходного сопротивления, полярностью входных и выходных сигналов, необходимостью реализации инверсии (т.е. операции НЕ).

Применительно к цифровым устройствам более часто применяются ключи с ОЭ.

§ 2.3 Переходные процессы в ключах с ОЭ



Исходными данными для анализа таких ключей является следующее:

1) $U_{вх}, \min$

Заданные значения минимального входного напряжения, достигнув которое ключ полностью открывается (режим насыщения).

2) $U_{вых}, \min$

Минимальное значение выходного напряжения, в режиме когда ключ находится в насыщении.

3) $U_{вых}^1 \leq +E$

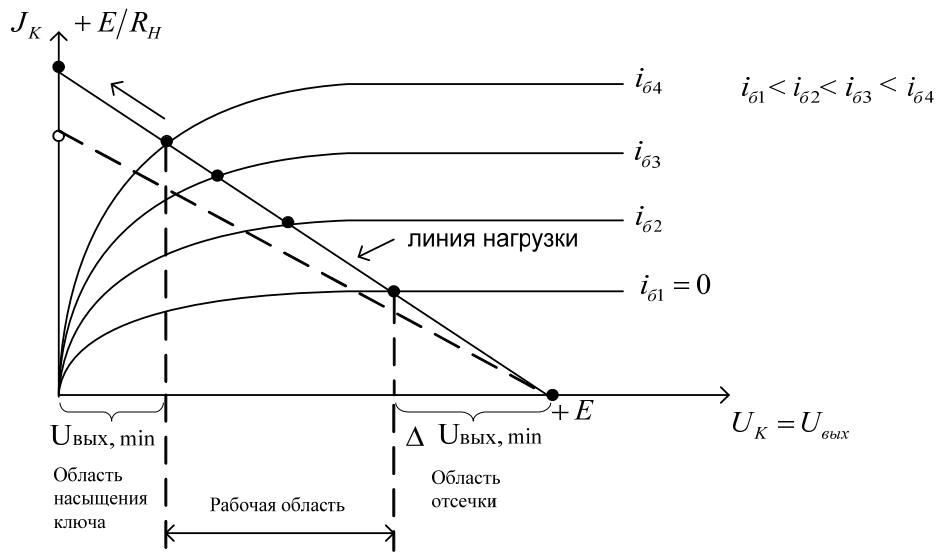
минимальные потери выходного напряжения, когда ключ в режиме отсечки.

4) Максимальное быстродействие ключа.

Первые три параметра удовлетворяются за счет расчета номиналов сопротивлений базы и сопротивления нагрузки.

Алгоритм такого расчета:

Входная характеристика ключа с ОЭ следующая:



Для выполнения условия 2 рабочая точка – левая.

Как видно из графика, ключевой режим соответствует двум крайним областям работы транзистора. В идеальном случае в рабочей области он находиться не должен.

$U_{вых, \min}$ достигается тогда, когда максимальный ток поступает в базу, или путем увеличения R_H , чтобы уменьшить наклон линии нагрузки. Но увеличение R_H приводит к росту $\Delta U_{вых, \min}$, которое равно $\Delta U_{вых, \min} \approx R_H \cdot i_{обр. коллектора}$. Поэтому при расчете транзисторного ключа выбирают такое значение R_H , чтобы по максимуму удовлетворить условие 2 и 3.

Выбор транзисторного элемента ключа завершен.

Для удовлетворения условия 1 надо выполнить расчет $R_б$ из следующих соотношений:

$$\text{Закон Ома: } i_б = \frac{i_к}{\beta} = \frac{+E/R_H}{\beta}$$

Этот ток будет обеспечен значением:

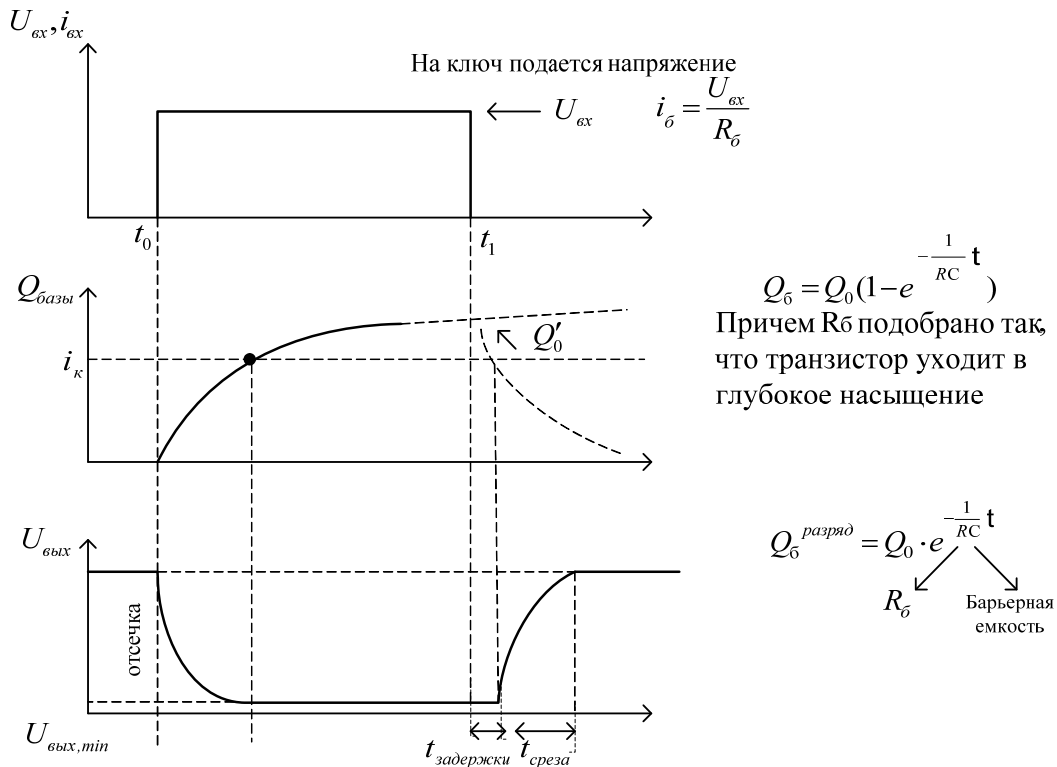
$$i_б = \frac{U_{\min, \text{вх}}}{R_б} \Rightarrow U_{\min, \text{вх}} = R_б \cdot i_б = \frac{R_б}{R_H} \cdot \frac{E}{\beta}$$

$$\text{Откуда } R_б = \frac{U_{\min, \text{вх}}}{E} \cdot \beta \cdot R_H$$

Таким образом, $R_б$ должно быть не более этого значения.

Результат условия 4 достигается общим увеличением быстродействия ключа, который напрямую зависит от заряда, накапливаемого в базе.

Рассмотрим причину снижения быстродействия с помощью следующих временных диаграмм:



$$Q_b = Q_0(1 - e^{-\frac{1}{RC}t})$$

При $t \rightarrow \infty$, $Q_b = Q_0$

Достигнув некоторого значения 1, мы достигнем $i_k = i_{k\max} = \frac{E}{R_k}$

Т.о. воздействие на ключ импульсного сигнала приводит к появлению трёх времён, которые ограничивают быстродействие ключа:

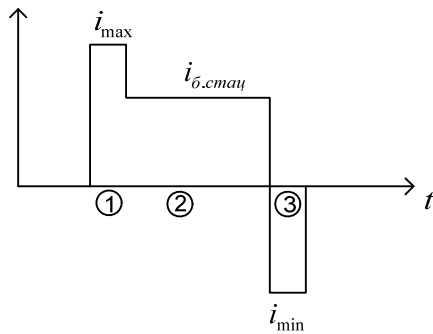
- 1) t_ϕ – длительность фронта, ограничивает f_{\max} .
- 2) $t_{задержки}$, которое удлиняет время нахождения ключа в насыщении.
- 3) $t_{среза}$, которое так же ограничивает частоту воздействия импульсного сигнала.

Таким образом, чтобы увеличить быстродействие ключа и сделать его идеальным, необходимо свести к нулю эти три времени, ограничивающие быстродействие ключа.

Для сведения к минимуму трёх времён: t_{ϕ} , $t_{\text{задержки}}$, $t_{\text{среза}}$, в цифровой электронике используют три основных приёма:

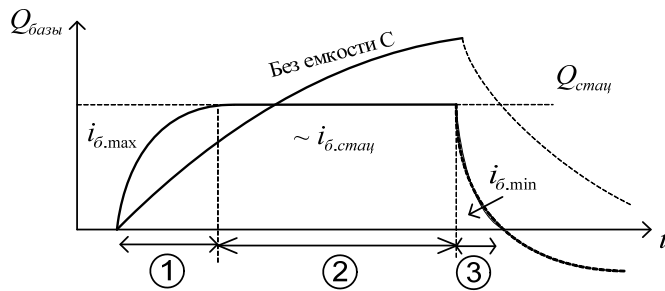
1) Использование в базе ускоряющих емкостей:

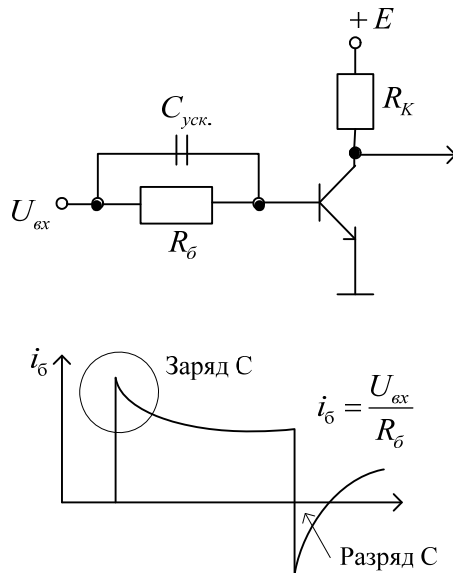
Действительно, если подать в базу ток вида:



то ток i_{\max} быстро зарядит базу, а ток i_{\min} наоборот, приведёт к минимуму времени рассасывания заряда в базе.

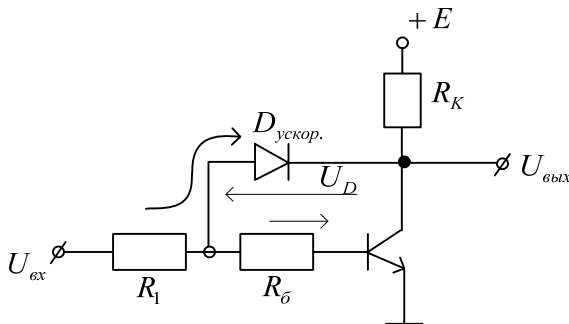
При этом если подобрать значение $i_{\text{б.стационарное}}$, равное такому значению тока коллектора $i_{\text{кол}}$, при котором транзистор недонасыщен, то избыточный заряд в базе накапливаться не будет.





Данный достаточно простой приём сложно реализовать интегрально. Поэтому для увеличения быстродействия ключей, часто используют схемы с диодом в цепи обратной связи.

2) Ключ с ускоряющим диодом:



Основная идея заключается в следующем: при подаче импульса (т.е. $i_б \neq 0$), диод закрыт и весь ток идёт в базу, что обеспечивает быстрое насыщение транзистора. По мере падения $U_{вых}$ наступает момент, когда диод открывается, и весь ток, создаваемый $U_{вх}$, течёт через него практически минуя базу.

Дальнейший принцип ускорения ключа аналогичен предыдущему.

$i_б = \frac{U_{вх}}{R_1 + R_б}$ (до открывания D). Потом диод откроется, и:

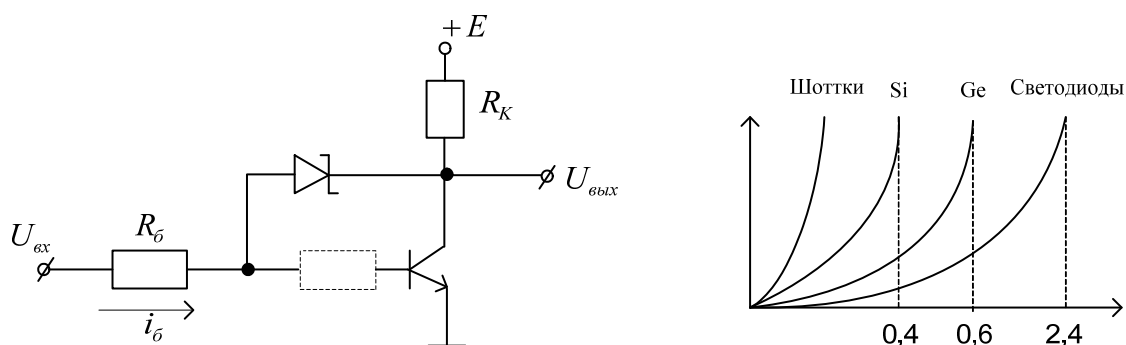
$$i_б = \frac{U_D}{R_б} \cdot (U_D \approx 0,4(Si)).$$

3) Ключ с диодами Шоттки:

Это полупроводник, где одним из граничных является металл (т.е. одна область – металл, а вторая – полупроводник n- или p- типа).

Отсутствие приграничного слоя => нет барьерной ёмкости.

Это очень быстродействующие диоды (ВАХ – как у обычного диода, но насыщение $\sim 0,1\text{В}$). Использование этих диодов в обратной связи транзисторного ключа автоматически исключает R_{σ} . В результате получаем следующее:



При таком подходе так же автоматически исключается избыточное накопление зарядов в базе.

Логические элементы с диодами Шоттки являются самыми быстродействующими логическими элементами для схем с однополярным питанием.

§2.4 Логические элементы на рывле и переключателях. Резисторно-транзисторная логика (РТЛ)

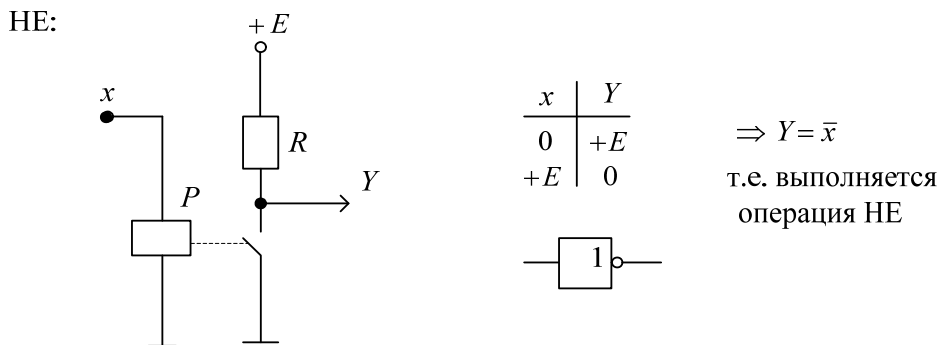
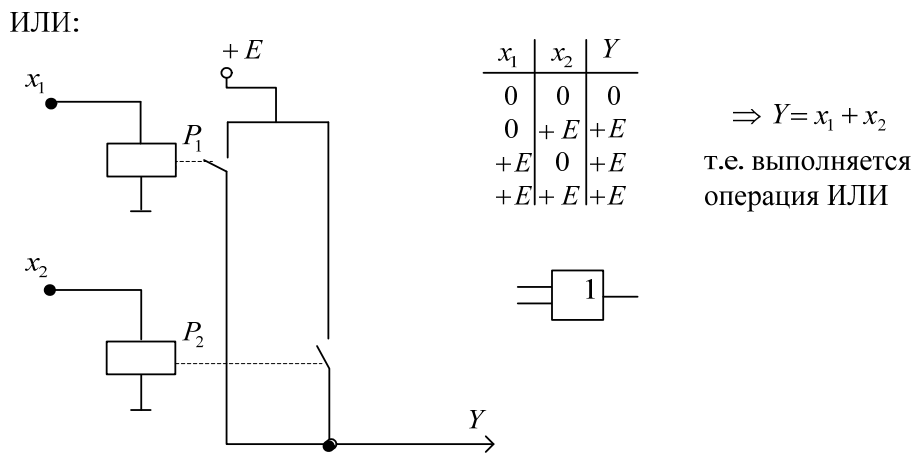
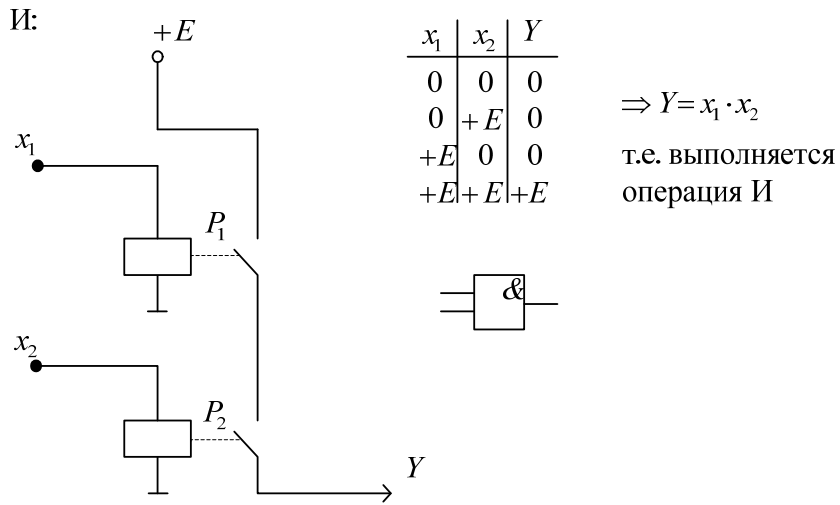
Построение первых вычислительных систем на базе логических элементов промышленно было освоено в середине сороковых годов прошлого столетия. Они строились в полном соответствии с основными законами Булевой алгебры, где в качестве переключаемых устройств были задействованы *рывле* и *переключатели*.

Физический эквивалент двоичной переменной для таких устройств следующий:

$+E$ – логическая «1»;

0 – логический «0».

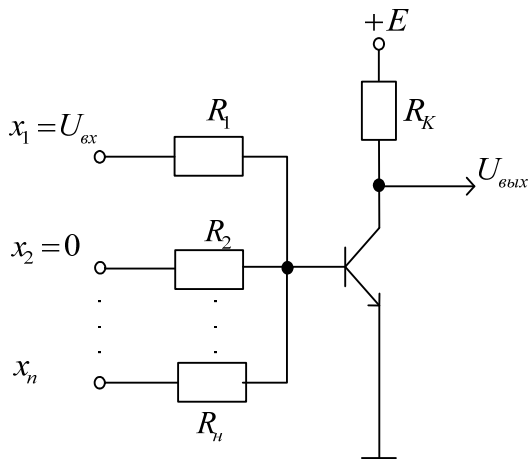
Построим функциональную систему логических элементов.



Система функциональных логических элементов полностью замкнулась.

После применения рыве и переключателей естественным стал вопрос о переходе на более компактные и быстродействующие устройства. В качестве такого устройства стали использовать изобретённый в 1847 году полупро-

водниковый транзистор. На его базе появилась резисторно-транзисторная логика. Базовым элементом такой логики является следующий элемент:



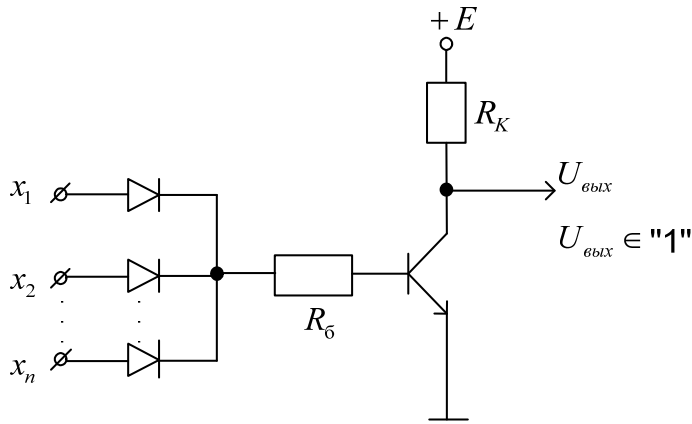
Составим таблицу истинности такого устройства, предполагая, что напряжения X_i переводят ключ в насыщение.

X_1	X_2	Y	
0	0	1	$i_b = 0$
0	1*	0	} Транзистор в насыщении $\Rightarrow Y = \overline{x_1 + x_2}$
1	0	0	
1	1	0	$1 - U_{ex} \neq 0$ (Перевод транзистора в глубокое насыщение).

Т.о. построен элемент ИЛИ-НЕ для любого количества входных переменных, который образует функционально – полную систему логических элементов, т.е. с помощью него можно в полном объеме реализовать Булеву алгебру. Что и привело к созданию ЭВМ на базе транзисторов. К сожалению, такие элементы сложно реализовать в интегральном исполнении и существенным их недостатком является влияние одной переменной на другие, что не позволяет создавать быстродействующие устройства.

§2.5 Логические элементы диодно-транзисторной логики (ДТЛ). Логические элементы транзисторно-транзисторной логики (ТТЛ)

А) Следующим шагом в плане размещения логических элементов на кристаллах и увеличения их быстродействия является создание диодно-транзисторной логики (ДТЛ). В результате этой работы появились два базовых элемента данной логики:



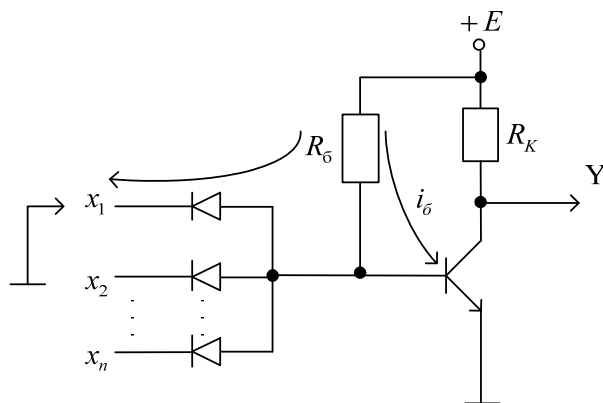
Принцип действия полностью аналогичен принципу действия РТЛ – логики.

Преимущество – все элементы можно изготовить интегральным способом. Влияние одной переменной на другую полностью исключено.

Как видно из рисунка, реализуется функция:

$$Y = \overline{x_1 + x_2 + \dots + x_n}, \text{ т.е. ИЛИ – НЕ}$$

Второй базовый элемент:



Составим таблицу истинности для двух переменных:

X_1	X_2	Y

0	0	1	И – НЕ $Y = \overline{x_1 \cdot x_2}$
0	1	1	
1	0	1	
1	1	0	

Если заземлить хотя бы один вход (например X1), то весь ток пойдёт обратно.

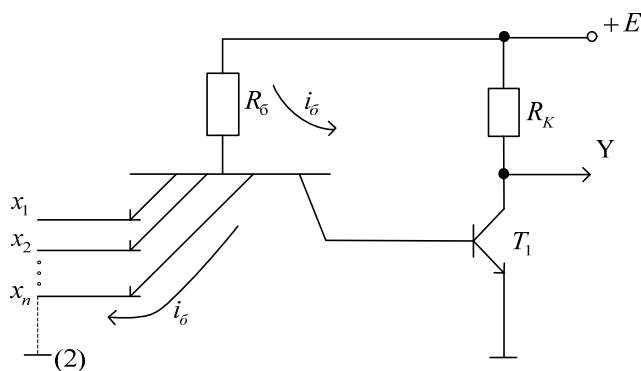
В данном случае принцип работы транзистора принципиально иной. Если к диодам ничего не подключать или подать логическую единицу, то они закрыты и ток i_b открывает до насыщения транзистора. В результате $Y = 0$.

Если на любой из диодов подать логический 0, то диод откроется и весь ток пойдёт через него, т.е. $i_b = 0$, и транзистор окажется в режиме отсечки, т.е. $Y = 1$.

Таким образом, в рамках ДТЛ была решена задача создания сразу двух логических элементов, каждый из которых образует функционально-полную систему таких элементов, что существенно увеличило степень интеграции, компактность и эффективность создания цифровых устройств и увеличило быстродействие.

Б) Транзисторно-транзисторная логика (ТТЛ).

Базовый элемент диодно-транзисторной логики И-НЕ послужил основой для создания нового перспективного направления в развитии логических элементов – ТТЛ. В настоящее время это одни из основных типов логики, используемых в цифровой электронике. Основу для её построения составляют *многоэмиттерные транзисторы*, работающие в режиме переключателя токов:



Рассмотрим принцип действия такого логического элемента:

1) Пусть все $x_i = \langle 1 \rangle$, тогда базовые переходы обратно смещенные, и следовательно весь ток i_b поступает на T_1 , значит T_1 в режиме насыщения. А это значит, что $Y = \langle 0 \rangle$

2) Пусть любой из выходов $x_i = \langle 0 \rangle$ (т.е. заземлен), следовательно весь ток i_b пойдет через прямо-смещенный базовый переход. В результате транзистор T_1 в режиме отсечки. А это эквивалентно: $Y = \langle 1 \rangle$.

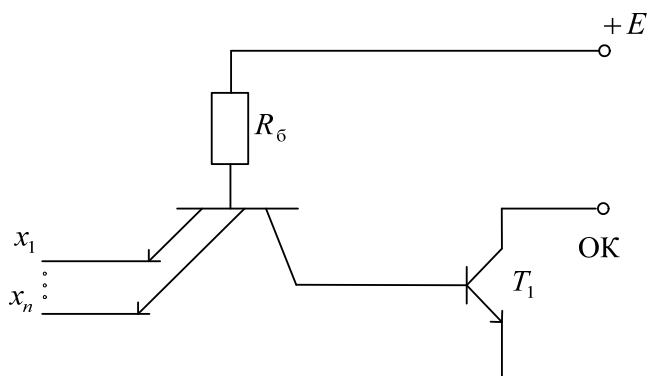
Исходя из этих двух условий данный элемент выполняет логическую операцию И-НЕ. Т.о. для ТТЛ логики основным логическим элементом является элемент И-НЕ.

Примечание: из логики работы следует, что если ко входу никакого сигнала не подаётся, то это эквивалентно логической $\langle 1 \rangle$ на входе элемента.

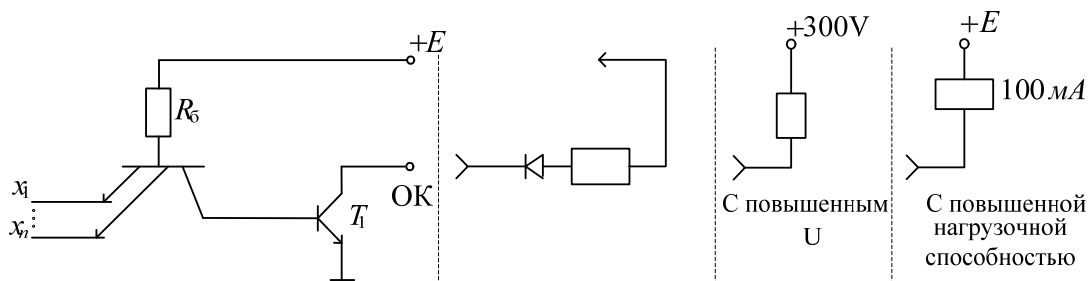
§2.6 Элементы ТТЛ с разными выходными каскадами

В процессе развития ТТЛ был разработан целый набор элементов, предназначенный для решения конкретных задач в цифровой электронике. Общим для них является наличие многоэмиттерного транзистора на входе, а отличаются они различными типами выходных каскадов:

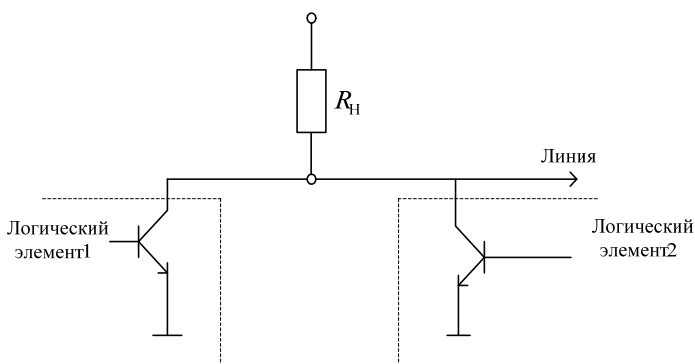
А) Элемент с открытым коллектором:



Используется для элементов индикации, элементов коммуникации, для создания общих шин вычислительных систем (монтажное ИЛИ). Для функционирования элемента коллектор соединяется через внешние связи с $+E$. Например, элемент индикации:



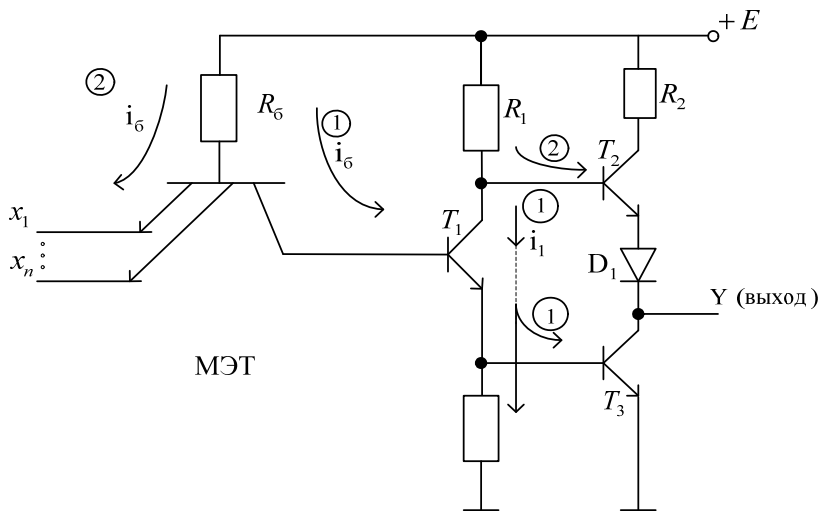
Возьмем два элемента:



В этом случае любой из транзисторов, переводимый в режим насыщения, приводит к логическому «0» в линии (\Rightarrow ИЛИ).

Б) Элементы со сложным выходным каскадом:

Обеспечивают существенное преимущество по отношению к базовому элементу, поскольку исключают работу выходных транзисторов в линейном режиме (т.е. в момент переключения с одного уровня на другой потребления тока минимальны).



Принцип работы:

1) Все x_i - «1» (т.е. T_1 в режиме насыщения).

В результате ток i_1 потечет как показано на рисунке. $\Rightarrow T_3$ - в режиме насыщения, а T_2 - в режиме отсечки (напряжение базы на T_2 ниже, чем напряжение эмиттера на T_2) $\Rightarrow Y = \langle 0 \rangle$.

2) Любой $x_i = 0$ (т.е. T_1 в режиме отсечки, в него не идет ток).

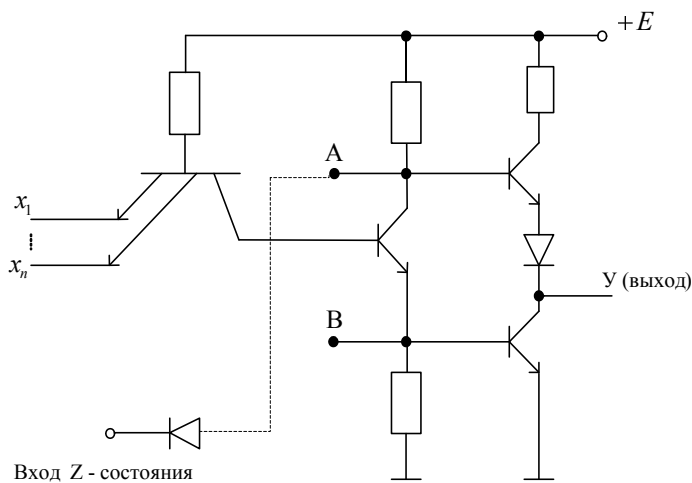
$\Rightarrow T_2$ - в режиме насыщения, а T_3 - в режиме отсечки, значит $Y = \langle 1 \rangle$.

Т.о. общая логика работы не изменилась, а транзисторы T_2 и T_3 по мощности достаточно, чтобы работать на приемлемую нагрузку.

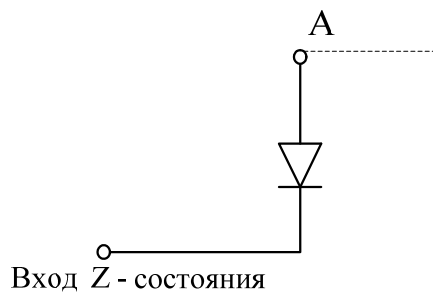
Диод T_1 нужен для того, чтобы исключить ситуации, когда транзисторы T_2 и T_3 одновременно находятся в режиме насыщения.

В) Элементы с тремя состояниями на выходе:

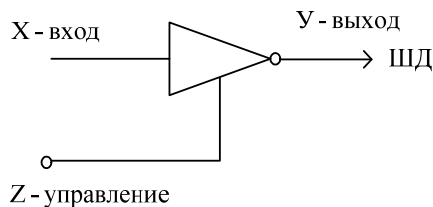
Расширители по ИЛИ.



В настоящее время часто используются в микропроцессорной и вычислительной технике. С их помощью формируются шины вычислительных устройств (путем перевода Y входа в третье, высокоимпедансное или Z -состояние). Перевод осуществляется с помощью цепочки:



При $Z = \langle 0 \rangle$ весь ток будет направлен во «Вход Z – состояния» и транзисторы T_2 и T_3 всегда будут в режиме отсечки, что эквивалентно высокому сопротивлению Y -выхода. Графически такие элементы имеют следующее изображение:

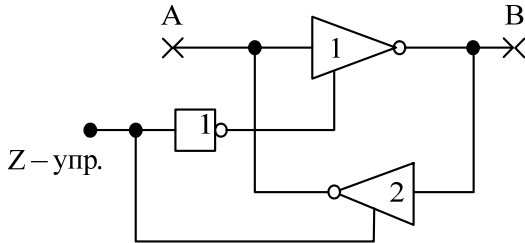


$Z = 0 \Rightarrow Y \in Z$ сост.

$Z = 1 \Rightarrow Y$ – в обычном ТТЛ-режиме.

С помощью таких элементов создаются устройства, которые называются *шинными формирователями*. С их помощью можно менять направление передачи данных.

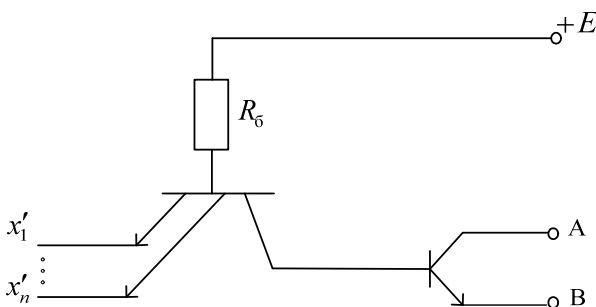
Шинный формирователь:



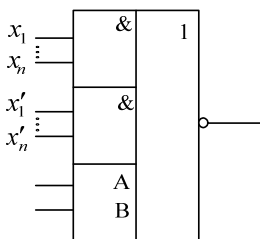
Пусть $Z = 0$, то 2 – в Z-состоянии, а 1 – в ТТЛ-состоянии. Т.е. передача идет от А к В.

Пусть $Z = 1$, то 1 – в Z-состоянии, а 2 – в ТТЛ-состоянии. Передача идет от В к А.

Расширители по ИЛИ: создаются, если к точкам А и В подключить следующий элемент:



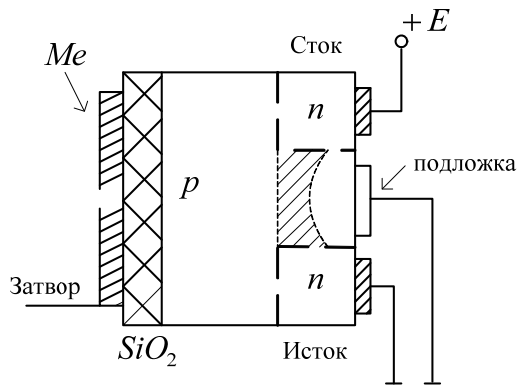
В результате такого подключения получаем следующее логическое устройство:



§2.7 Ключи на полевых транзисторах

Важным направлением развития цифровой электроники является создание логических элементов на базе полевых структур. Для этих целей были использованы следующие структуры:

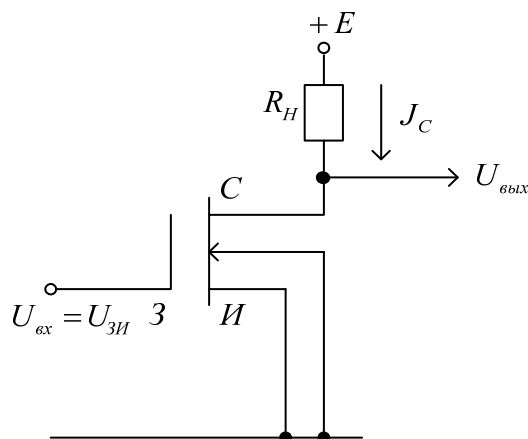
Металл – Окисел – Полупроводник (МОП). МОП – структура, представляет собой следующее:



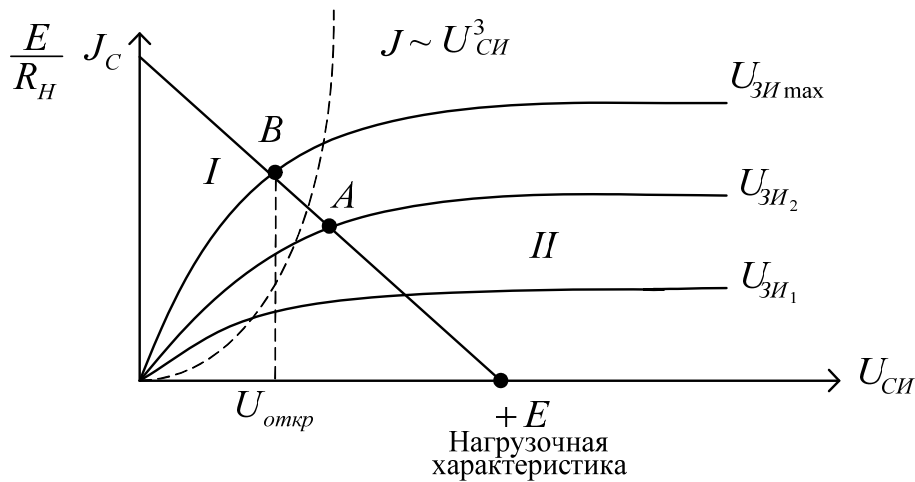
Если $U_{\text{затвора}} = 0$, то положительные заряды p^+ будут находиться в этом положении и между стоком и истоком отсутствует канал $i_c = 0$.

$U_3 = +U$ сток-исток – появление канала, ширина которого зависит от приложенного напряжения, следовательно появляется $i_c \neq 0$. Такая структура обладает важным преимуществом управления каналом не с помощью тока, а с помощью напряжения, а значит энергопотребления минимальны.

Недостаток: образующийся канал имеет достаточно высокое омическое сопротивление канала. В ранних структурах оно порядка единиц КОм, в современных – десятки ÷ сотни Ом. Эти особенности вносят и особенности в работу ключей, созданных на таких структурах. Рассмотрим эти особенности на примере данного полевого транзистора с резистивной нагрузкой:



Выходная характеристика транзистора:



$$U_{зи\max} > U_{зи_2} > U_{зи_1}$$

Из рисунка: выходные характеристики имеют две качественно разных области:

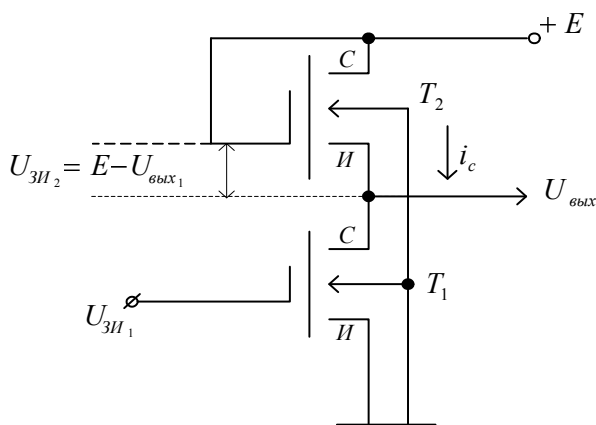
I – триодная область. Если взять $R_{оиф} = \frac{\Delta U_{си}}{\Delta J_c} \rightarrow$ мало.

II – пентодная; $R_{оиф} = \frac{\Delta U_{си}}{\Delta J_c} \rightarrow$ велико.

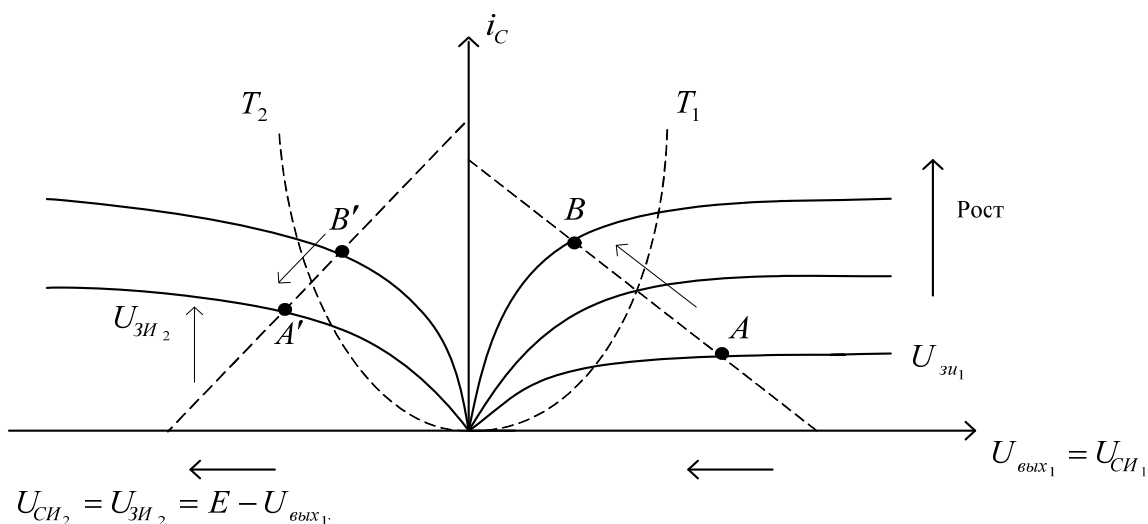
Нагрузочная характеристика: как видно из линии нагрузки, вторая особенность в зависимости от напряжения на затворе осуществляется переход из пентодной области в триодную (напряжение из точки А в точку В). При этом напряжение открытого ключа к нулю свести практически не возможно, т.е. если данный ключ использовать в логических схемах, то надо подбирать транзисторы с такими выходными характеристиками, чтобы напряжение открытого ключа $U_{откр}$ было меньше, чем максимальное допустимое значение уровня логического нуля.

Чтобы устранить данные недостатки, существует два основных приема:

1) Ключ с динамической нагрузкой:



Рассмотрим принцип его работы с помощью комбинированных выходных характеристик:

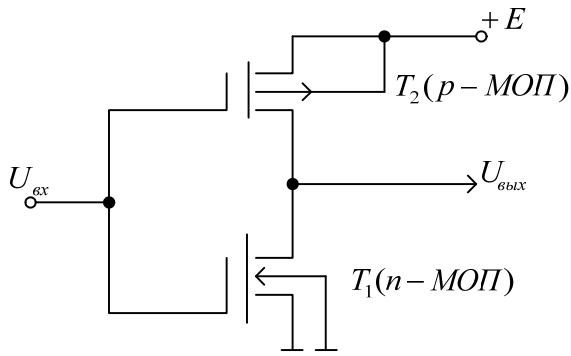


Качественный анализ выходных характеристик (см. стрелки) указывает на то, что с ростом напряжения на входе ключа транзистор T_1 из высокоомного состояния переходит в низкоомное (переход $A \rightarrow B$). С другой стороны более резкое изменение $U_{си2}$ переводит второй транзистор T_2 из триодной области в пентодную (наоборот), что эквивалентно резкому росту нагрузки R_H . Тем самым, доводя выходное напряжение открытого ключа практически до нуля.

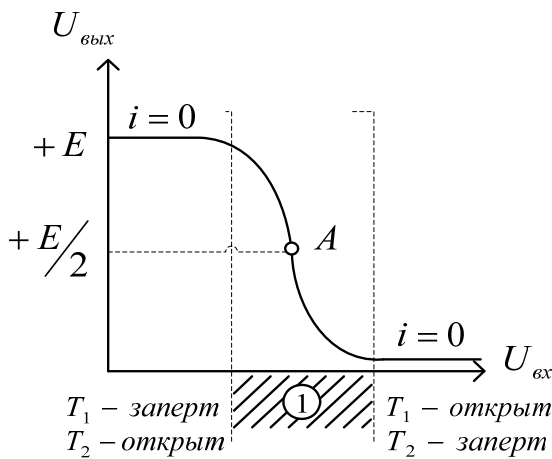
Второе преимущество: когда $U_{вх} = 0$, сопротивление T_2 - мало (триодная область) (т. B'), что обеспечивает хорошую нагрузочную способность.

В-третьих, такой ключ оптимально технологичен для интегрального исполнения.

2) Ключ на комплиментарных парах (КМОП-технология):



В данном ключе используется два транзистора с разными типами канала, => рост входного напряжения $U_{вх}$ открывает транзистор T_1 , и автоматически уменьшает канал транзистора T_2 , и наоборот. В результате такой симметрии получается идеальная переходная характеристика:



Использование КМОП-структур приводит к идеальной характеристике (благодаря симметрии).

Область 1 – область, где один из транзисторов имеет не бесконечно большое внутреннее сопротивление. В т. А сопротивления каналов обоих транзисторов равны.

Таким образом, такая структура полностью устраняет недостатки всех предыдущих ключей, и как видно из графика, только в области 1 потребляет ток от источника ЭДС.

Так как $i = 0$ и $i = 0$ (на графике) => интегральные схемы, собранные по КМОП-технологии, обладают наивысшим энергосбережением.

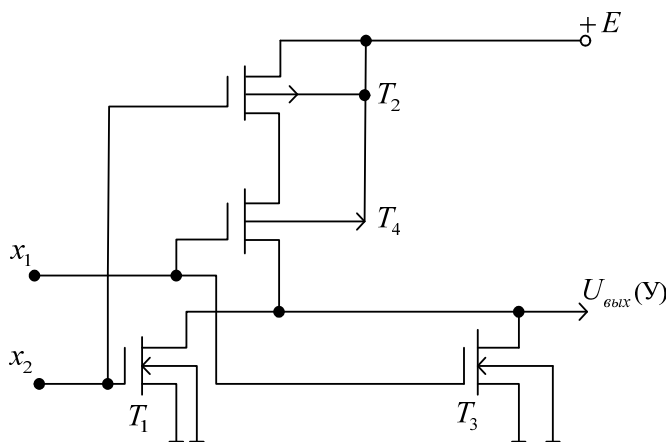
Единственный недостаток таких устройств – меньшее быстродействие по отношению к ТТЛ-структурам.

§ 2.8 Базовые элементы КМОП-логики

Российские эквиваленты:

К 176, К 561, К 564.

В качестве базовых элементов здесь используются следующие (рассмотрим на примере двухвходовых):



Рассмотрим логику работы такой структуры на примере таблицы истинности, при условии, что:

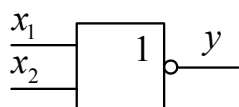
Логическая «1» → +E В

Логический «0» → 0 В

X_1	X_2	Y	Примечание
0	0	1	T_1, T_3 - заперт; T_2, T_4 - открыт
0	1	0	T_3, T_2 - заперт; T_1, T_4 - открыт
1	0	0	T_3, T_2 - заперт; T_1, T_4 - открыт
1	1	0	T_1, T_3 - открыт; T_2, T_4 - заперт

Как

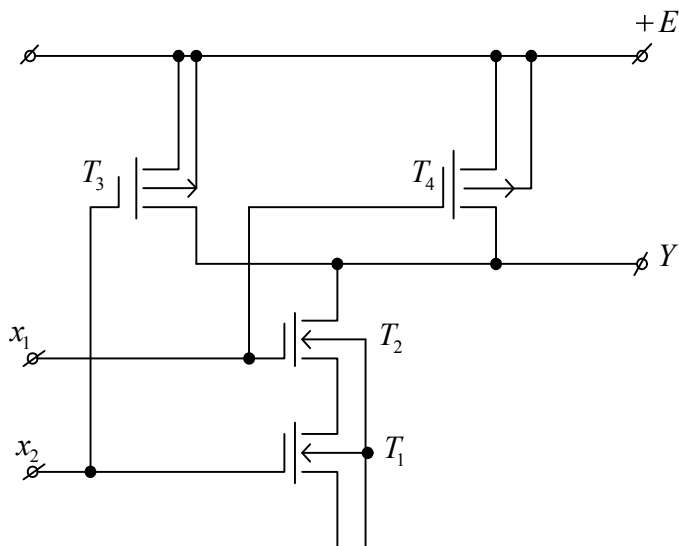
видно из таблицы, реализуется логическая операция ИЛИ – НЕ.



Элемент И-НЕ:

В рамках серии КМОП-структур, оказалось удачным и создание другого базового элемента (элемента И-НЕ).

Рассмотрим его схемотехнику на примере двух входных элементов:



Построим таблицу истинности для данного логического элемента:

X_1	X_2	Y	Примечание
0	0	1	T_1, T_2 - закрыты; T_3, T_4 - открыты
0	1	1	T_2, T_3 - закрыты; T_1, T_4 - открыты
1	0	1	T_1, T_4 - закрыты; T_2, T_3 - открыты
1	1	0	T_1, T_2 - открыты; T_3, T_4 - закрыты

Как видно из таблицы, действительно $y = \overline{x_1 \cdot x_2} \Rightarrow$ И-НЕ.

Глава III. Основные узлы цифровых устройств

§ 3.1 Назначение, классификация триггеров

Триггерами называют цифровые устройства, которые имеют два устойчивых состояния и мгновенно переходят из одного состояния в другое посредством управляющих сигналов. В термин мгновенное вкладывают смысл максимального быстродействия данного логического элемента. Триггеры яв-

ляются основой для построения запоминающих устройств и способны хранить один вид информации.

В зависимости от функционального назначения, все триггеры подразделяют:

А) R-S-триггеры (R – C – S – триггеры) или триггеры с установочными входами. Они являются основой для построения статических запоминающих устройств, и нашли широкое применение для устранения эффекта «дребезга» контактов.

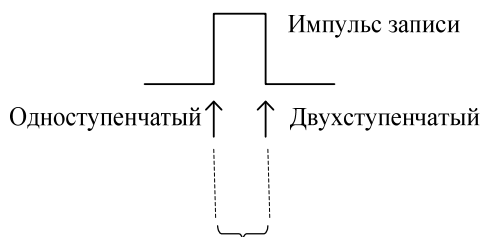
Б) T-триггеры (счетные триггеры). Являются основой для построения двоичных счетчиков или используются в качестве делителей частоты.

В) D-триггеры (триггеры задержки). Используются в качестве построения регистров хранения и регистров сдвига. Являются неотъемлемой составляющей частью микропроцессора.

Г) J-K-триггеры (или универсальные триггеры). Свое название получили потому, что с помощью них можно создать любой из вышеперечисленных триггеров.

Основными характеристиками любого из триггеров являются:

- одно- или двухступенчатые. Данный параметр определяет в какой момент по отношению к импульсу записи появляется информация на его выходе.

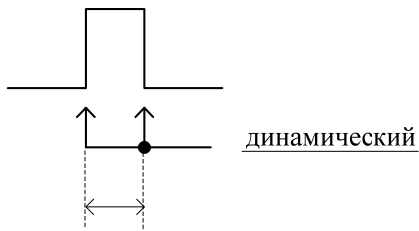


Момент, когда появляется информация на выходе триггера.

- динамический или статический триггер.

Динамический триггер – это триггер, если информация записывается в него в момент перепада импульса записи.

Статический триггер – если информация записывается в него по уровню импульса записи.



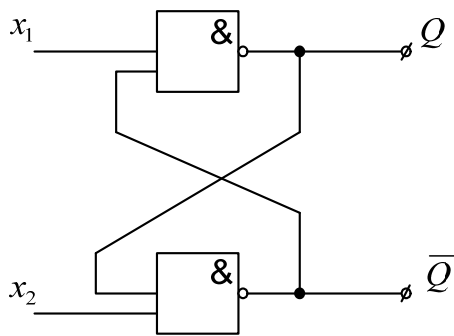
Если информация записывается в этот момент времени, то триггер статический

§ 3.2 R-S-триггеры. Синхронные R-S-триггеры

Данный класс триггеров является простейшим и так же является основой для построения всех других классов триггеров. Для построения R-S – триггеров достаточно двух элементов: ИЛИ-НЕ или И-НЕ.

Схемотехника их построения следующая:

А)



x_1 и x_2 - установочные входы,

Q, \bar{Q} - выходы триггера.

Рассмотрим работу такого устройства на примере таблицы истинности, привязанной к последовательности событий:

t	x_1	x_2	Q	\bar{Q}	Примечание
	0	1	1	0	Запись в триггер "1"
	1	1	1	0	Режим хранения
	1	0	0	1	Запись в триггер логического "0"
	1	1	0	1	Режим хранения
	0	0	1	1 !!!	Нарушена логика ($Q = \bar{Q}$)
	1	1	?	?	Не определено

\uparrow *set* \uparrow *reset*

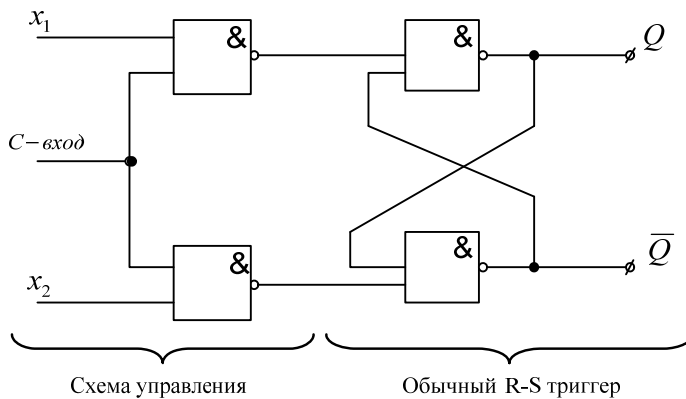
На основании двух последних выводов в таблице, $x_1 = x_2 = 0$ называется *запрещенным состоянием*.

С помощью уровня запрещенного состояния определяется уровень логического 0, а именно, какой уровень входного сигнала осуществляет запись в триггер одного бита информации.

Как видно из таблицы, для данного триггера активным является уровень логического нуля.

Б) Триггер на элементах ИЛИ-НЕ.

В) Синхронный R-S – триггер: в тех случаях, когда необходимо зафиксировать моменты записи в триггер информации, используют синхронные или синхронизируемые R-S-триггеры. В этом случае триггер состоит из двух составных частей и строится по следующей схеме:



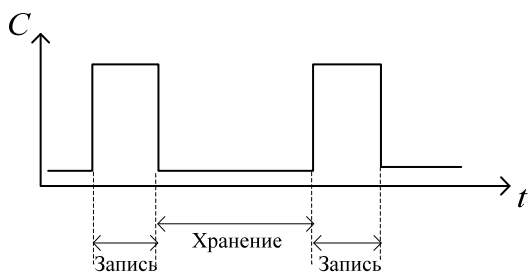
В данном случае, при $C=0$, состояние входов x_1 и x_2 - безразлично, а встроенный R-S-триггер находится в режиме хранения. Т.е. в этот момент запись информации в триггер невозможна.

При $C=1$ активизируются установочные входы x_1 и x_2 и управление R-S – триггером становится невозможным. Но поскольку есть инверсии у элементов схемы управления, то изменяется на противоположный активный уровень R-S-триггера.

А именно: при $x_1=1, x_2=0$ – запись «1» → set;

при $x_1=0, x_2=1$ – запись «0» → reset.

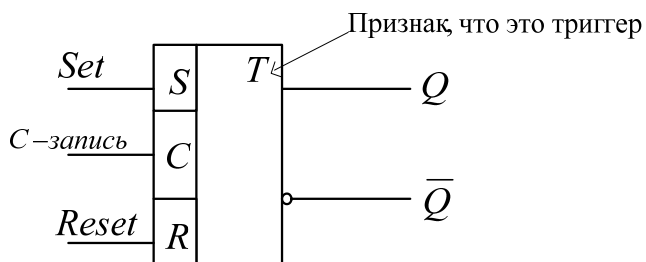
Поэтому вход x_1 - RESET, x_2 - SET.



Функционально вход C – вход записи.

Графически: синхронный R-S-триггер образуется следующим образом:

Активный уровень – «1».



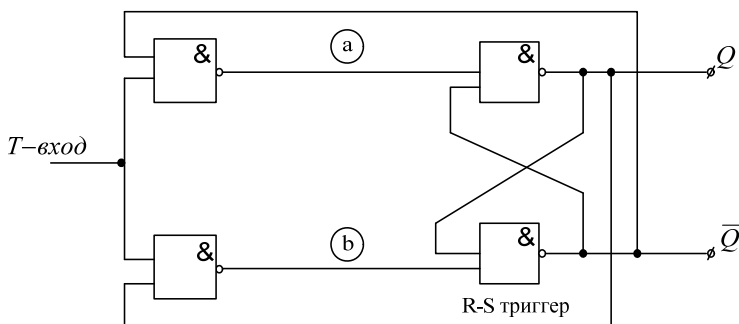
§ 3.3 Т-триггеры, D- триггеры и J-К-триггеры

Основой для построения данных классов триггеров является синхронный R-S-триггер.

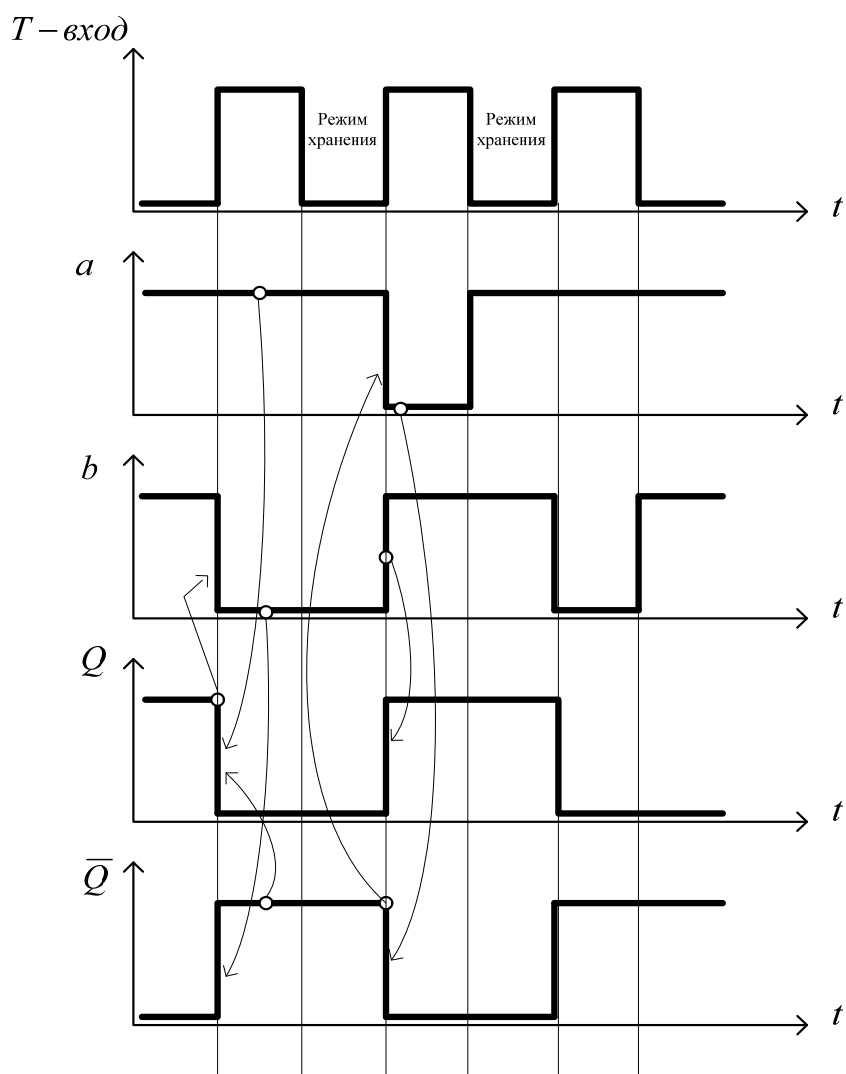
I. Т-триггер (или счетный триггер) – предназначен для подсчета входных двоичных (прямоугольных) импульсов. Дополнительно их используют в качестве делителей частоты.

Различают одно- и двухступенчатые Т-триггеры.

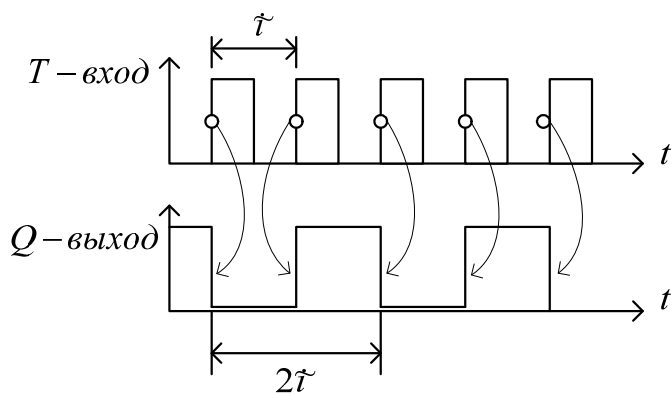
A) Схемотехника одноступенчатого:



Рассмотрим временную диаграмму работы такого устройства:



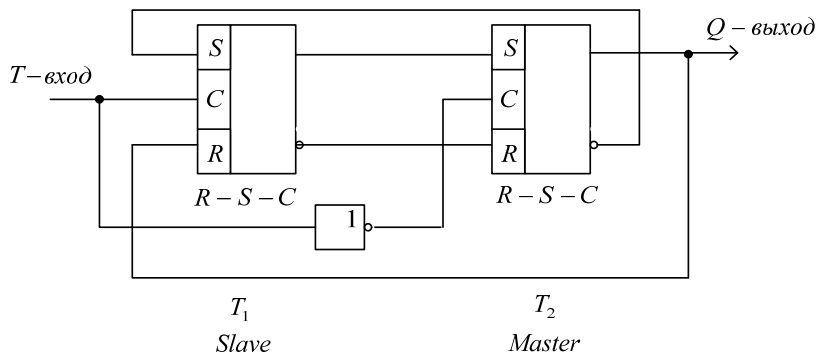
Как видно из временных диаграмм, в данном случае Т-триггер – это устройство, которое меняет свое состояние на противоположное по фронту каждого входного импульса. Т.е. в потоке прямоугольных импульсов выполняется следующее условие:



Как видно из данных диаграмм, период следования выходных импульсов увеличивается ровно вдвое, следовательно частота выходных импульсов

ровно вдвое уменьшается. Т.е. отдельно взятый Т-триггер является делителем частоты на два.

Б) При построении двоичных счетчиков, основу которых составляют Т-триггеры, желательно использование двухступенчатых Т-триггеров, схемотехника построения которых следующая:



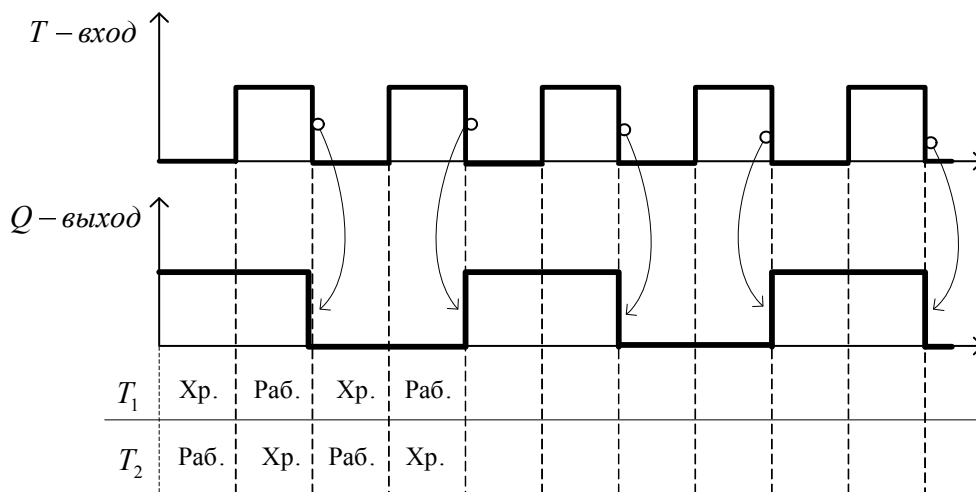
В данном случае принцип работы Т-триггера аналогичен предыдущему, с тем отличием, что при $T=0$, T_1 - в режиме хранения, а T_2 - в рабочем режиме.

\Rightarrow ранее записанная в T_1 информация перезаписывается в триггер T_2 .

При $T=1$, наоборот, T_1 - в рабочем состоянии, а T_2 - в режиме хранения.

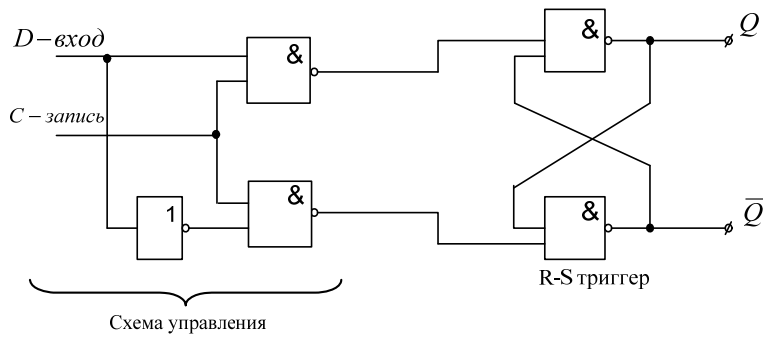
\Rightarrow инверсная информация с T_2 переписывается в T_1 .

Т.о. данное устройство также изменяет свое состояние на противоположное по каждому входному импульсу, но выполняет эту процедуру по срезу:

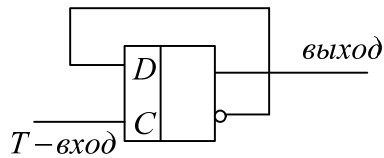


II. D-триггер (триггер задержки) – используется для формирования рас-
четов хранения.

А) Одноступенчатый D-триггер:

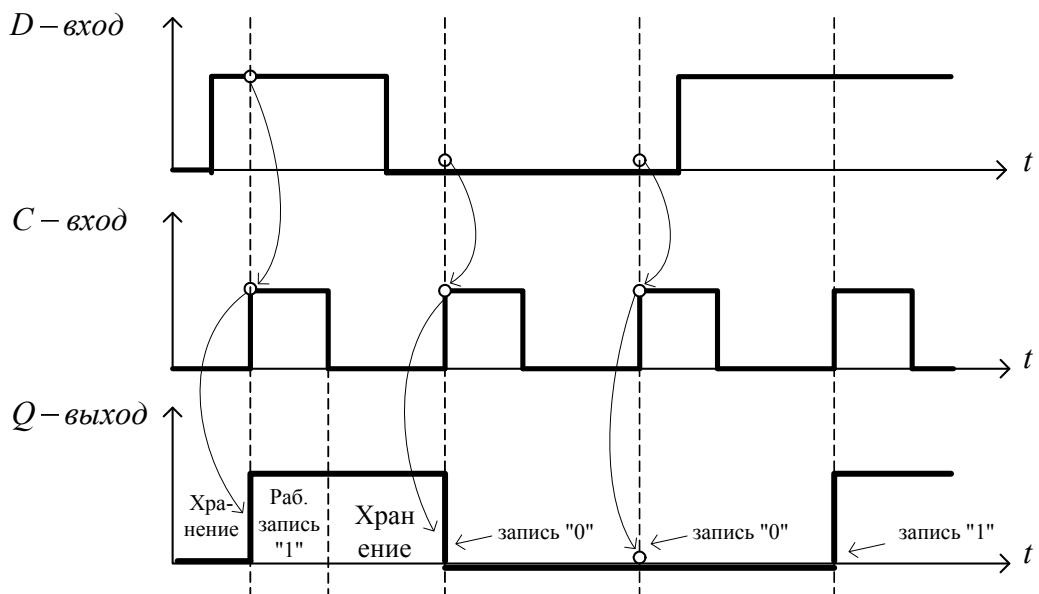


D-триггер в счетном режиме включается так:



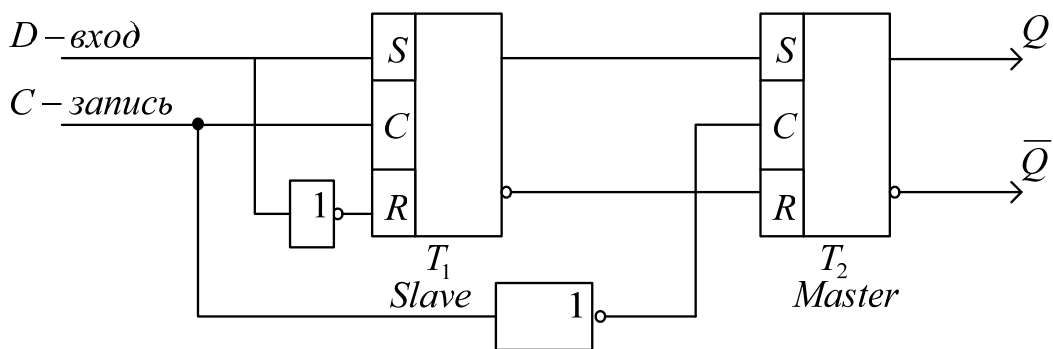
Наличие в схеме элемента НЕ автоматически устраняет возможность появления запрещенного состояния для R-S-триггера. В остальном работа устройства аналогична работе синхронного R-S-триггера.

Т.е. реализуется следующая временная диаграмма:



Данное устройство осуществляет запись информации со входа D в триггер по фронту импульса C. В связи с этим вход C часто называют входом записи, а вход D – информационным входом.

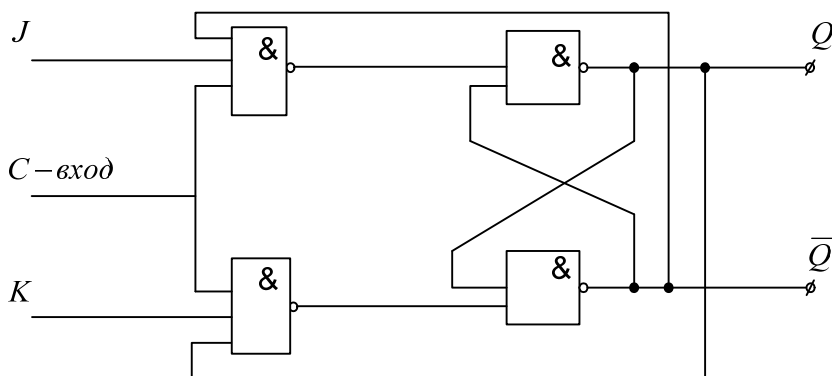
Б) Двухступенчатый D-триггер:



Принцип работы аналогичен одноступенчатому D-триггеру, с той лишь разницей, что по окончании импульса записи триггер T_2 записывает в себя информацию с триггера $T_1 \Rightarrow$ на выходе переписанная с D-входа информация появится по окончании импульса записи.

III. J-K-триггер (универсальный)

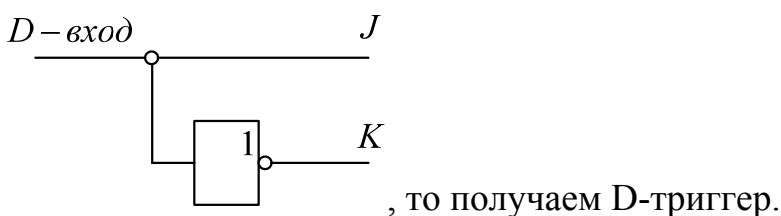
A) Одноступенчатый J-K-триггер:



С помощью анализа работы устройства легко доказать, что входы J и K эквивалентны входам R и S синхронного R-S-триггера. Вход J устанавливает «1», вход K – «0».

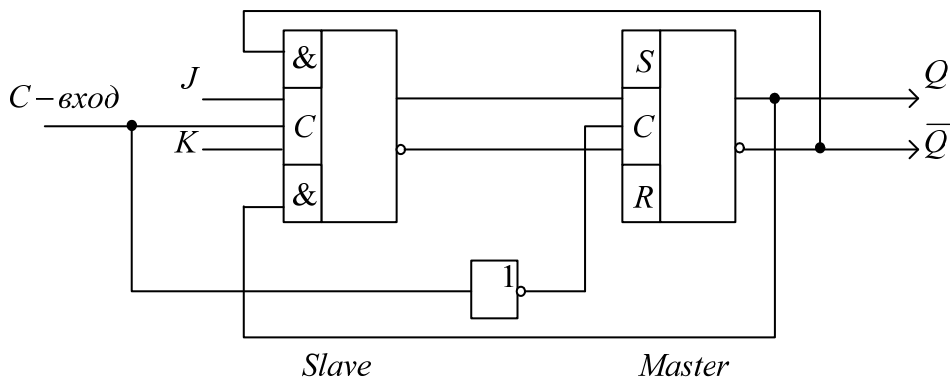
Если $J=K = \langle 1 \rangle$, то получаем классический одноступенчатый T-триггер.

Если вход дополнить элементом НЕ:



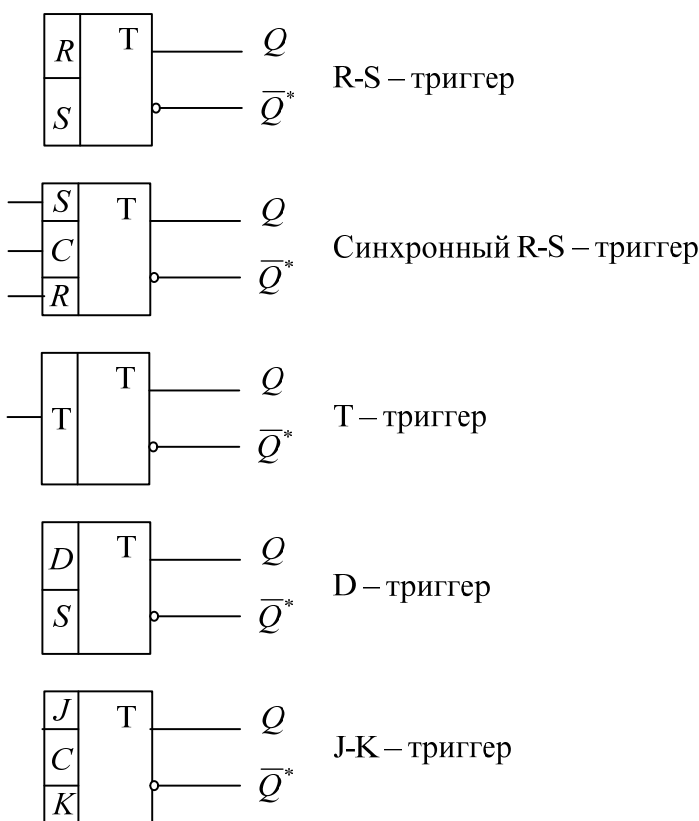
Т.о. действительно J-K-триггер позволяет создать любой из ранее рассмотренных триггеров.

B) Двухступенчатый J-K-триггер:



Наличие архитектуры Slave – Master указывает на то, что информация на выходе появится только по срезу (или по окончанию) импульса на С-входе (импульс записи).

Графические обозначения:



\bar{Q}^* - может отсутствовать.

§ 3.4 Классификация, назначение регистров

Регистры – это цифровые устройства, предназначенные для хранения нескольких бит информации одновременно. Как правило, количество бит, хранимых в регистрах, кратно четырем. При этом общепринята следующая метрика:

4 бит – тетрада

8 бит – байт

16 бит – слово

32 бит – двойное слово

64 бит – квадро слово

или x-разрядный регистр.

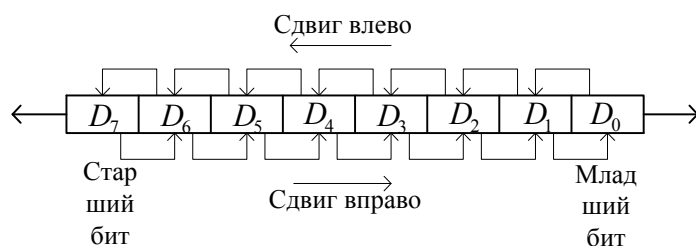
В зависимости от назначения, все регистры подразделяются:

А) *Регистры хранения* – предназначены для хранения определенного количества бит одновременно.

Б) *Сдвиговые регистры* – предназначены для записи и последующего сдвига информации вправо или влево. При этом термин вправо или влево носит условный характер.

Более точная терминология появилась с изобретением микропроцессора.

Рассмотрим на примере 8-разрядного регистра:

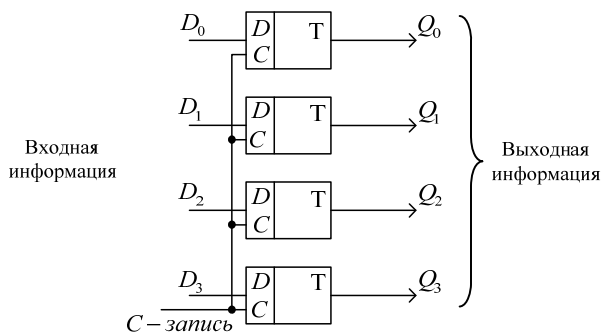


В) *Универсальные регистры* – предназначены для выполнения одновременно функций сдвигового регистра и регистра хранения.

Регистры являются основой для построения ЛЮБЫХ интеллектуальных устройств (микропроцессоры, микроконтроллеров, конверторов и т.д.), а также являются оптимальными преобразователями двоичного кода из параллельного формата в последовательный. Основной характеристикой регистра является его информационная емкость или разрядность. Основой для построения регистров служат D-триггеры. Количество D – триггеров и определяет информационную емкость регистра.

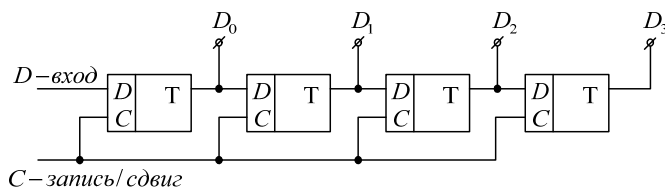
В качестве примера рассмотрим схемотехнику построения 4-разрядных регистров:

А) Регистр хранения:

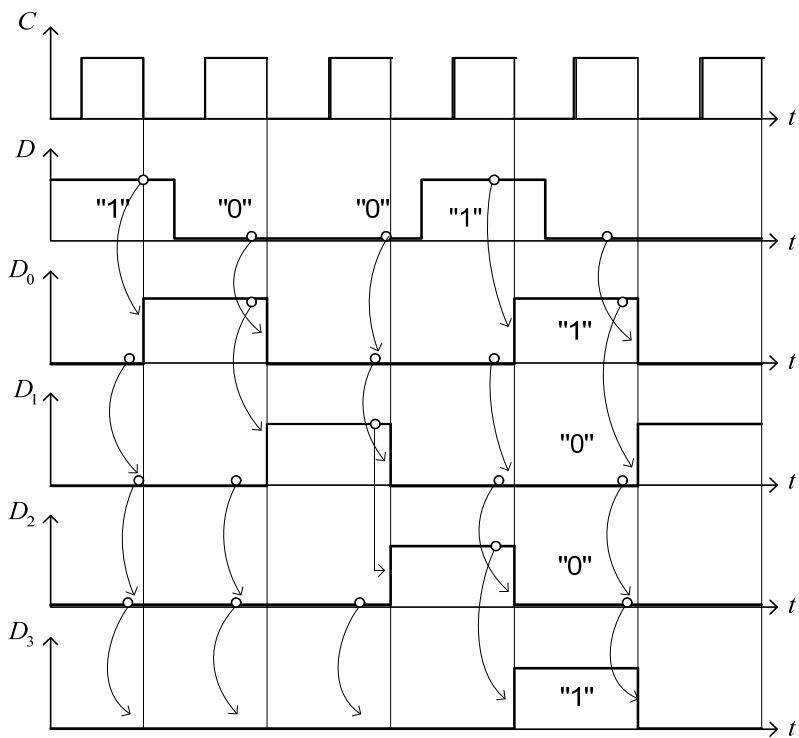


Как видно из схемотехники, по приходу импульса записи C , информация со входа переписывается в регистр и хранится в нем до поступления следующего импульса записи.

Б) Сдвиговый регистр:



Рассмотрим работу данного устройства на примере временных диаграмм:



Пусть при $t = 0$ все $t_i = 0$. Таким образом, данное устройство действительно выполняет запись и сдвиг информации одновременно. При этом если

количество импульсов записи совпадает с разрядностью регистра, то автоматически осуществляется перевод информации из последовательного формата в параллельный.

§ 3.5 Классификация, назначение двоичных счетчиков

Счетчики – цифровые устройства, которые предназначены для подсчета количества входных импульсов и выдачи информации об этом количестве в определенном выходе.

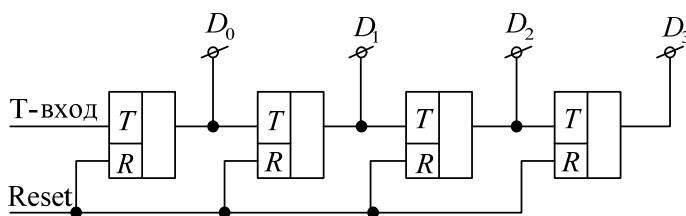
В зависимости от назначения все счетчики подразделяются:

А) Суммирующие – увеличивают свое состояние на единицу по каждому очередному входному импульсу.

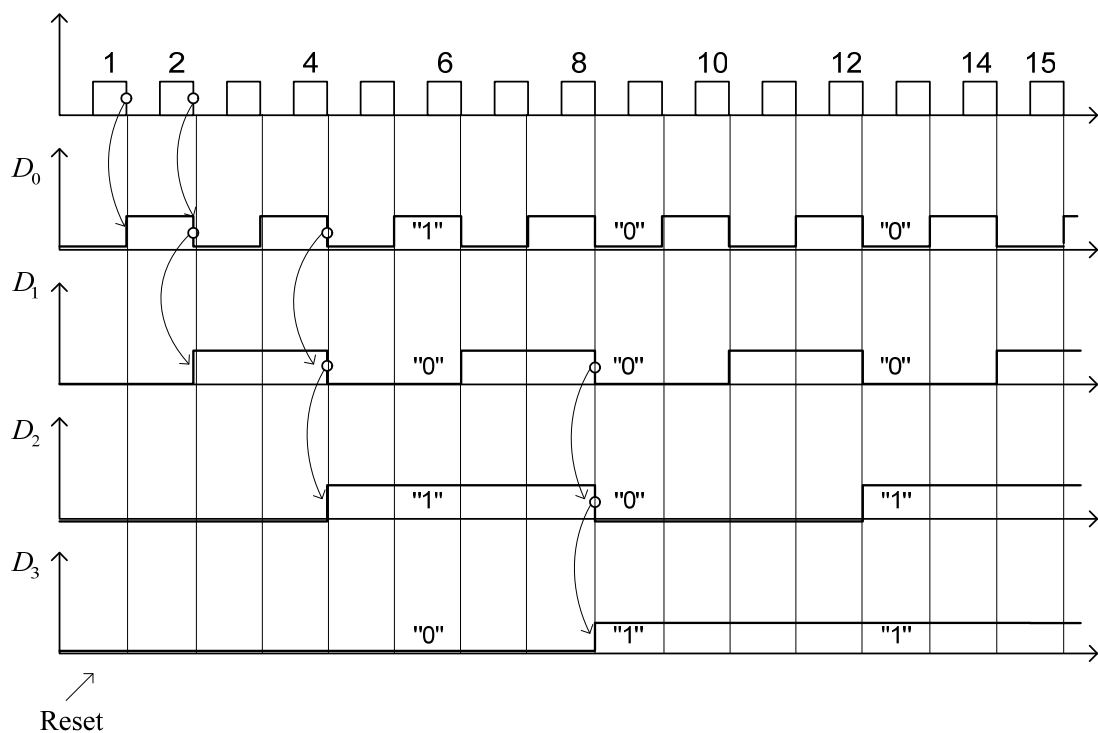
Б) Вычитающие – уменьшают свое состояние на единицу по каждому очередному входному импульсу.

В) Универсальные (или реверсивные) – одновременно могут выполнять функции суммирующего и вычитающего счетчиков.

Основной характеристикой счетчика является его максимальная информационная емкость. Основой для построения счетчиков служат Т-триггеры. Количество Т-триггеров как раз и определяет максимальную информационную емкость, а именно [емкость] = 2^n , где n – количество Т-триггеров. В качестве примера рассмотрим схемотехнику и принцип работы 4-разрядного суммирующего счетчика:



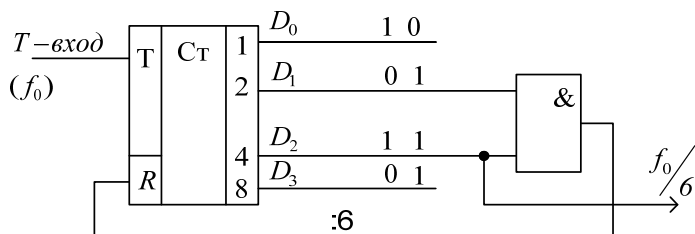
Рассмотрим временные диаграммы:



Сделаем несколько временных срезов: после 5 импульса, после 8 и после 12. Т.е. сколько импульсов поступило, ровно такую информацию, но в двоичном коде, мы снимаем. Как видно из временных диаграмм, действительно, на выходах $D_3 - D_0$ в двоичном коде отражается информация о количестве поступивших входных импульсов, т.е. данное устройство осуществляет их подсчет.

Для получения вычитающего счетчика, достаточно выход последующего Т-триггера соединить со входом предыдущего.

Особый класс представляют счетчики, которые используют в качестве делителей частоты с переменным коэффициентом деления. Типовая схема их включения следующая:



Для построения делителей с произвольным коэффициентом деления необходимо выходы двоичного счетчика, где присутствует единица для двоичного числа делителя, объединить по i , и выход элемента завести на $Reset$

счетчика. Т.о. он просчитает количество периодов, равное коэффициенту деления и сбросится в исходное состояние.

§ 3.6 Назначение, классификация дешифраторов

Дешифратор – это комбинационное устройство, предназначенное для преобразования параллельного двоичного кода в унитарный, т.е. позиционный код. Обычно, указанный в схеме номер вывода дешифратора соответствует десятичному эквиваленту двоичного кода, подаваемого на вход дешифратора в качестве входных переменных, вернее сказать, что при подаче на вход устройства параллельного двоичного кода на выходе дешифратора появится сигнал на том выходе, номер которого соответствует десятичному эквиваленту двоичного кода. Отсюда следует, что в любой момент времени выходной сигнал будет иметь место только на одном выходе дешифратора. В зависимости от типа дешифратора, этот сигнал может иметь как уровень логической единицы (при этом на всех остальных выходах уровень логического 0), так и уровень логического 0 (при этом на всех остальных выходах уровень логической 1).

В дешифраторах каждой выходной функции соответствует только один минтерм, а количество функций определяется количеством разрядов двоичного числа. Если дешифратор реализует все минтермы входных переменных, то он называется полным дешифратором (в качестве примера неполного дешифратора можно привести дешифратор двоично-десятичных чисел).

Рассмотрим пример синтеза дешифратора (полного), количество разрядов двоичного числа - 3, количество выходов - 8.

Таблица состояний дешифратора:

X3	X2	X1
0	0	0
0	0	1
0	1	0
0	1	1

1	0	0
1	0	1
1	1	0
1	1	1

Z0	Z1	Z2	Z3	Z4	Z5	Z6	Z7
1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	0	0	1	0	0	0
0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0
0	0	0	0	0	0	0	1

Как следует из таблицы состояния, каждой функции соответствует только один минтерм, следовательно, не требуется минимизировать эти функции (рис. 3.6.1).

Из полученных уравнений и схемы дешифратора следует, что для реализации полного дешифратора на m входов (переменных) потребуются $n = 2m$ элементов конъюнкции (количество входов каждого элемента “И” равно m) и m элементов отрицания.

Пирамидальные дешифраторы. Пирамидальные дешифраторы позволяют реализовать схему на базе только двухвходовых элементов логического умножения (конъюнкции). Рассмотрим пример реализации дешифратора 3-8:

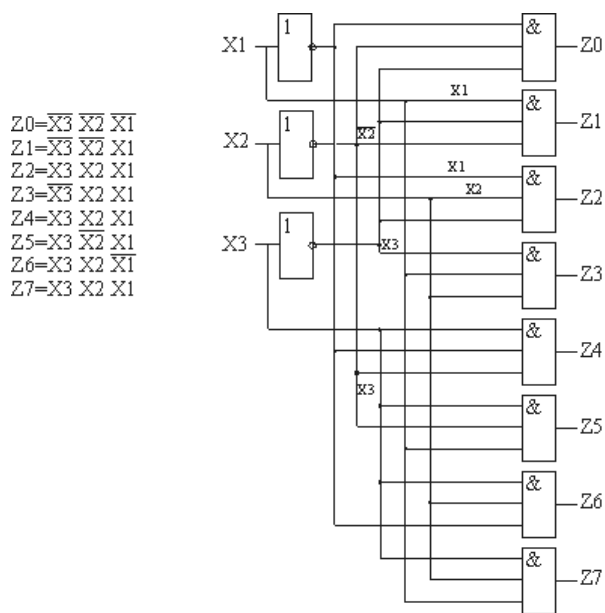


Рис. 3.6.1

$$\begin{aligned}
 n = 3, m = 8 \quad Z_1 &= Z_1' \overline{X_1} \\
 Z_2 &= Z_1' X_1 \\
 \overline{X_3} \overline{X_2} &= Z_1' \quad Z_3 = Z_2' \overline{X_1} \\
 \overline{X_3} X_2 &= Z_2' \quad Z_4 = Z_2' X_1 \\
 X_3 \overline{X_2} &= Z_3' \quad Z_5 = Z_3' \overline{X_1} \\
 X_3 X_2 &= Z_4' \quad Z_6 = Z_3' X_1 \\
 Z_7 &= X_4' \overline{X_1} \\
 Z_8 &= Z_4' X_1
 \end{aligned}$$

Для построения такого дешифратора потребуется 12 двухвходовых элементов 2И и три инвертора. Пирамидальные дешифраторы при больших количествах входных переменных позволяют несколько упростить конструкцию устройства, т.е. уменьшить количество интегральных микросхем.

Промышленностью стран СНГ, в том числе и России, выпускаются различные модификации дешифраторов в интегральном исполнении. Обозначение дешифраторов на принципиальных схемах показано на рис. 3.6.2:

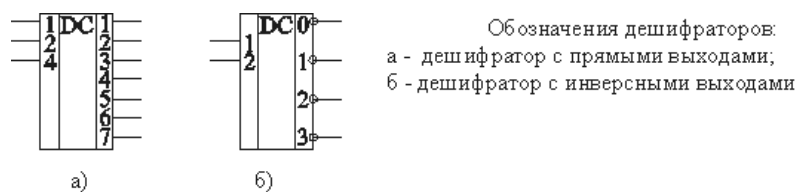


Рис. 3.6.2

§ 3.7 Мультиплексоры

Мультиплексор - коммутатор цифровых сигналов. Мультиплексор представляет собой комбинационное устройство с m информационными, n управляющими входами и одним выходом. Функционально мультиплексор состоит из m элементов конъюнкции, выходы которых объединены дизъюнктивно с помощью элемента ИЛИ с m входами. На одни входы всех элементов конъюнкции подаются информационные сигналы, а другие входы этих элементов соединены с соответствующими выходами дешифратора с n входами.

Функциональная схема мультиплексора приведена на рис. 3.7.1:

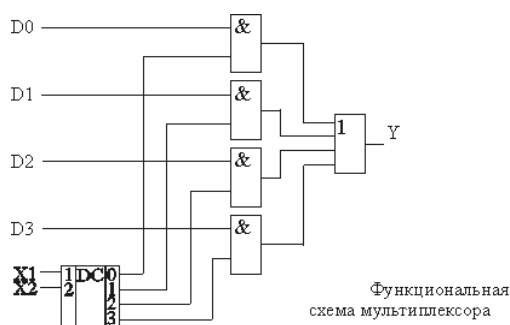
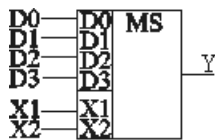


Рис. 3.7.1

Из рисунка следует, что мультиплексор содержит дешифратор на соответствующее число выходов (число выходов дешифратора определяется числом информационных входов мультиплексора), элементы конъюнкции на два или на три входа каждый и элемент дизъюнкции с числом входов, равным количеству информационных линий $D_0 \dots D_m$. Число входов элементов И может быть равным только двум, однако, во многих случаях возникает необходимость стробирования выходного сигнала мультиплексора импульсами независимого источника. В таких случаях в структуре мультиплексора используются элементы И с тремя входами. Одни из входов всех элементов конъюнкции, в последнем случае, объединяются, и по этой линии подается сигнал разрешения работы мультиплексора (стробирующий сигнал). Наличие дополнительного управляющего входа расширяет функциональные возможности мультиплексора и позволяет проще реализовать методы борьбы с гонками.



Уравнение мультиплексора имеет вид:

$$Y = D_0 X_1 X_2 + D_1 X_1 \bar{X}_2 + D_2 \bar{X}_1 X_2 + D_3 \bar{X}_1 \bar{X}_2$$

Схемное обозначение мультиплексора 4 на 1

Рис. 3.7.2

На рисунке 3.7.2 показано обозначение мультиплексора на принципиальных и функциональных электрических схемах.

Из уравнения мультиплексора видно, что на его выход будет передаваться сигнал только с одного входа, номер которого совпадает с числом, соответствующим кодовой комбинации X_1 и X_2 . Если $X_1=X_2=0$, на выход мультиплексора будет передаваться сигнал с входа D_0 . Когда на адресных (управляющих) входах $X_1=1$ и $X_2=0$, то на выход будет передаваться сигнал с входа D_1 и т.д.

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и т.д. На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Следует отметить, что мультиплексоры хотя, и предназначены для коммутации цифровых сигналов, но с помощью мультиплексоров, изготовленных по КМОП технологии, можно коммутировать и аналоговые сигналы.

§ 3.8 Назначение, классификация сумматоров

Сумматор — логический операционный узел, выполняющий арифметическое сложение кодов двух чисел. При арифметическом сложении выполняются и другие дополнительные операции: учёт знаков чисел, выравнивание порядков слагаемых и тому подобное. Указанные операции выполняются в арифметическо-логических устройствах (АЛУ) или процессорных элементах, ядром которых являются сумматоры.

Сумматоры классифицируют по различным признакам.

В зависимости от системы счисления различают: двоичные; двоично-десятичные (в общем случае двоично-кодированные); десятичные; прочие (например, амплитудные).

По количеству одновременно обрабатываемых разрядов складываемых чисел: одноразрядные, многоразрядные.

По числу входов и выходов одноразрядных двоичных сумматоров: 1) четвертьсумматоры (элементы “сумма по модулю 2”; элементы “исключающее ИЛИ”), характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма; 2) полусумматоры, характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд); 3) полные одноразрядные двоичные сумматоры, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд).

По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на: последовательные, в которых обработка чисел ведётся поочерёдно, разряд за разрядом на одном и том же оборудовании; параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование.

По способу организации межразрядных переносов параллельные сумматоры, реализующие структурные методы, делят на сумматоры: с последовательным переносом; с параллельным переносом; с групповой структурой; со специальной организацией цепей переноса.

Сумматоры, которые имеют постоянное время, отводимое для суммирования, независимое от значений слагаемых, называют синхронными.

По способу выполнения операции сложения и возможности сохранения результата сложения можно выделить три основных вида сумматоров: комбинационный, выполняющий микрооперацию “ $S = A$ плюс B ”, в котором результат выдаётся по мере его образования (это комбинационная схема в общепринятом смысле слова); сумматор с сохранением результата “ $S = A$ плюс B ”; накапливающий, выполняющий микрооперацию “ $S = S$ плюс B ”.

Последние две структуры строятся либо на счётных триггерах (сейчас практически не используются), либо по структуре “комбинационный сумматор – регистр хранения” (сейчас наиболее употребляемая схема). Важнейшими параметрами сумматоров являются:

разрядность; статические параметры: $U_{вх}$, $U_{вых}$, $I_{вх}$ и так далее, то есть обычные параметры интегральных схем; динамические параметры.

Сумматоры характеризуются четырьмя задержками распространения: от подачи входного переноса до установления всех выходов суммы при постоянном уровне на всех входах слагаемых; от одновременной подачи всех слагаемых до установления всех выходов суммы при постоянном уровне на входе переноса; от подачи входного переноса до установления выходного переноса при постоянном уровне на входах слагаемых; от подачи всех слагаемых до установления выходного переноса при постоянном уровне на входах слагаемых.

Полусумматор (рис. 3.8.1) имеет два входа a и b для двух слагаемых и два выхода: S — сумма, P — перенос. Обозначением полусумматора служат буквы HS (half sum — полусумма):

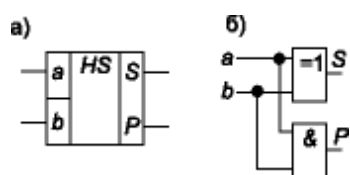


Рис. 3.8.1

Работу его отражает таблица истинности, а соответствующие уравнения (1) имеют вид:

a	b	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$\left. \begin{aligned} S &= \bar{a}b + a\bar{b} = a \oplus b \\ P &= ab \end{aligned} \right\} \quad (1)$$

Из уравнений (1) следует, что для реализации полусумматора требуется один элемент “исключающее ИЛИ” и один двухвходовый вентиль И (рис. 3.8.1 б).

§ 3.9 Полный сумматор. Многоразрядный сумматор

Полный одноразрядный двоичный сумматор (рис. 3.9.1) имеет три входа: a, b — для двух слагаемых и p — для переноса из предыдущего (более младшего) разряда и два выхода: S — сумма, P — перенос в следующий (более старший) разряд. Обозначением полного двоичного сумматора служат буквы SM.

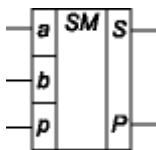


Рис. 3.9.1

Работу его отражает следующая таблица истинности:

№ наб.	a	b	p	P	S
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1

3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

Отметим один момент: в таблице выходные сигналы P и S не случайно расположены именно в такой последовательности. Это подчеркивает, что PS рассматривается как двухразрядное двоичное число, например, $1 + 1 = 2_{10} = 10_2$, то есть P = 1, а S = 0 или $1 + 1 + 1 = 3_{10} = 11_2$, то есть P = 1, а S = 1. Уравнения, описывающие работу полного двоичного сумматора, представленные в совершенной дизъюнктивной нормальной форме (СДНФ), имеют вид:

$$\left. \begin{aligned} S &= \bar{a}\bar{b}p + \bar{a}b\bar{p} + a\bar{b}\bar{p} + abp \\ P &= \bar{a}bp + a\bar{b}p + ab\bar{p} + abp \end{aligned} \right\} \quad (1)$$

Уравнение для переноса может быть минимизировано:

$$P = ab + ap + bp. \quad (2)$$

При практическом проектировании сумматора уравнения (1) и (2) могут быть преобразованы к виду, удобному для реализации на заданных логических элементах с некоторыми ограничениями (по числу логических входов и др.) и удовлетворяющему предъявляемым к сумматору требованиям по быстродействию.

Например, преобразуем уравнения (1) следующим образом:

$$\left. \begin{aligned} S &= (\bar{a}b + a\bar{b})p + (\bar{a}\bar{b} + ab)\bar{p} = S'p + \bar{S}'\bar{p} \\ P &= ab + \bar{a}bp + a\bar{b}p = ab + S'p = P' + P'' \end{aligned} \right\} \quad (3)$$

Из выражений (3) следует, что полный двоичный сумматор может быть реализован на двух полусумматорах и одном двухвходовом элементе ИЛИ. Соответствующая схема приведена на рис. 3.9.2:

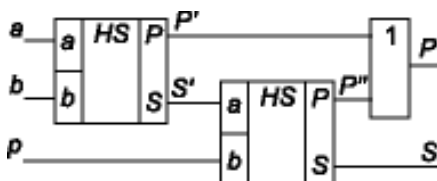


Рис. 3.9.2

Для того чтобы получить *многоразрядный сумматор*, достаточно соединить входы и выходы переносов соответствующих двоичных разрядов. Схема соединения одноразрядных сумматоров для реализации четырехразрядного сумматора приведена на рисунке 3.9.3:

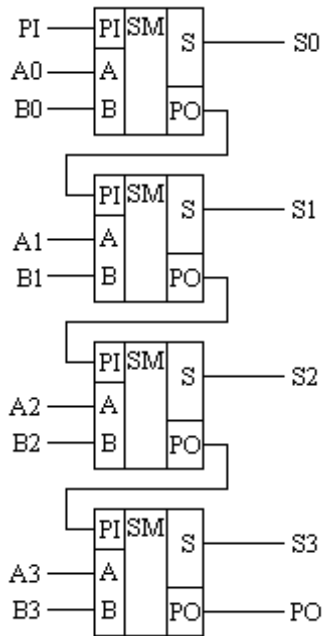


Рис. 3.9.3

Одноразрядные сумматоры практически никогда не использовались, так как почти сразу же были выпущены микросхемы многоразрядных сумматоров. Полный двоичный четырехразрядный сумматор изображается на схемах как показано на рисунке 3.9.4:

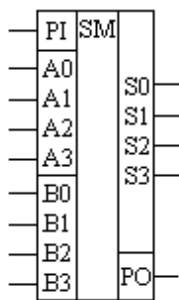


Рис. 3.9.4

ЗАКЛЮЧЕНИЕ

В процессе выполнения данной работы был проанализирован большой объем литературы, в результате которого было принято решение данный курс методических материалов построить по следующей схеме: сначала рас-

сматривается теория построения цифровых устройств, проводится сопоставление основных теоретических выкладок с их практической реализацией. Также отражаются все этапы проектирования логических схем: от алгебраической формы, до размещения полупроводниковых структур на кристалле.

Во второй части упор делается на схемотехнику базовых элементов логических устройств, и на их основе рассматриваются алгоритмы построения основных цифровых устройств. Большое внимание в работе уделено рассмотрению временных диаграмм, а также отражению на них причинно-следственных связей.

Данные методические указания также могут быть использованы для самостоятельного изучения и практического применения цифровой электроники и методов схемотехнического моделирования электронных устройств.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Янсен, И. Курс цифровой электроники: Пер. с англ. Т.1,2,3. – М.: Мир, 1987. – 343 с.: ил.
2. Гусев В.В. Основы импульсной и цифровой техники – М.: Советская школа, 1975. – 467 с.: ил.
3. Титце, У., Шенк, К. Полупроводниковая схемотехника: Справочное руководство. Пер. с нем. – М: Мир, 1982. – 512 с., ил.
4. Хоровиц, П., Хилл, У. Искусство схемотехники: В 3-х томах: Т.1,2,3. Пер. с англ. – М.: Мир, 1983. – 367 с., ил.
5. Основы цифровой электроники [Электронный ресурс]: учебное пособие для высших учебных заведений. / Интернет – Электрон. Дан. – Режим доступа: <http://www.rbt1.ru/wsap/posobie/>



МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение высшего
профессионального образования
«Дальневосточный федеральный университет»
(ДВФУ)

ШКОЛА ЕСТЕСТВЕННЫХ НАУК

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ ПО ЛАБОРАТОРИИ ЦИФРОВОЙ
ЭЛЕКТРОНИКИ**
по дисциплине «Цифровая электроника»
**Направление подготовки 09.03.02 Информационные системы и
технологии**
профиль «Информационные системы и технологии в связи»
Форма подготовки очная

**Владивосток
201**

Лабораторная работа 1

Изучение характеристик интегральных логических элементов

1. Спроектируйте, нарисуйте и соберите схему для снятия статических переходных характеристик интегральных логических элементов. В качестве источника входных сигналов используйте генератор импульсов Г5-72, для измерений уровней входных и выходных сигналов - осциллограф С1-65. До подачи напряжения питания на исследуемую схему установите его уровень соответствующим паспортным данным для выданной микросхемы. Входной сигнал, подаваемый с генератора импульсов при всех измерениях не должен превышать напряжения питания. До подключения генератора к макету необходимо установить необходимые параметры импульсов (частота порядка 10 кГц, длительность порядка 10 мкс) и нулевой уровень, контролируя их осциллографом, а также определить положения органов регулировки амплитуды при которых возможно ее превышение сверх допустимой и в дальнейшем не превышать ее.

2. Изменяя амплитуду импульсов от 0 до 5в (не более) и измеряя ее осциллографом поочередно на выходе и входе элемента, снимите и постройте статическую переходную характеристику логического элемента. Не надо стремиться получить подробную характеристику в активной области. Вследствие большого коэффициента усиления и низкого выходного сопротивления возможно самовозбуждение в этой области, затрудняющее измерения. Достаточно получить несколько точек вблизи активной зоны со стороны низкого и высокого уровней. По полученной характеристике определите основные статические параметры:

- а) уровни логического 0 и 1,
- б) логический перепад U_m ,
- в) пороговые уровни помех $U_p(0)$ и $U_p(1)$,
- г) средний коэффициент передачи в активной области.

3. Соедините вход элемента с общим проводом (землей) резистором с сопротивлением 200-300 ом и, измеряя падение напряжения на нем, определите

входной ток при напряжении логического нуля. Замените резистор на 200-500 ком, переключив его на вывод "+" источника питания и, измеряя падение напряжения на нем, определите входной ток в состоянии логической единицы .

4. Подключите к входу логического элемента генератор импульсов, предварительно установив по осциллографу амплитуду, соответствующую уровню логической единицы. Измерьте времена задержки фронта и среза выходного напряжения. Вычислите среднее время задержки. Для облегчения измерений используйте входные импульсы минимальной длительности и последовательное включение всех логических элементов микросхемы. В этом случае время задержки одного элемента определяется делением суммарного времени задержки на число последовательно включенных элементов.

Литература

Гусев В.В. и др. Основы импульсной и цифровой техники.-М.: Сов. радио, 1975.-с.116-138.

Янсен Й. Курс цифровой электроники, т.1. -М.: Мир, 1987.

Лабораторная работа 2

Синтез комбинационных логических схем

1. По заданной в числовой форме булевой функции составьте алгебраическую форму и минимизируйте ее, используя карту Карно. Начертите структурную схему, реализующую эту функцию в заданной системе логических элементов. Начертите подробную принципиальную схему с указанием номеров выводов микросхем и коммутационных и индикаторных элементов макета.

2. Соберите схему. В качестве индикаторов состояния логических элементов можно использовать светодиоды макета. Для формирования входных переменных используйте тумблеры лабораторного макета. Помните, что входы элементов ТТЛ для создания уровня логической единицы, нужно подключать

к источнику 5в только через ограничивающие резисторы 1-5 ком, а входы элементов КМОП нельзя оставлять неподключенными.

3. Испытайте работу схемы, создавая на входах все возможные комбинации переменных. Составьте таблицу переключений. Убедитесь в том, что она соответствует заданию.

4. Изучите работу и постройте таблицу состояний одной из предложенных преподавателем микросхем. Спроектируйте комбинационную логическую схему по индивидуальному заданию

.Литература

Ерофеев Ю.Н. Основы импульсной техники.-М.:Высшая школа, 1979.- с.152-168.

Гусев В.В. и др. Основы импульсной и цифровой техники.-М.:Сов. Радио, ;1975.-с.340-358.

Янсен Й. Курс цифровой электроники, т.1. -М.: Мир, 1987.

Лабораторная работа 3

Триггеры.

Часть 1.

1. Составьте схему и соберите RS-триггер на заданных логических элементах. Проверьте правильность его функционирования, подавая на входы логические уровни, сформированные тумблерами . Соберите схему синхронизируемого RS-триггера, убедитесь в его нормальном функционировании. Снимите временную диаграмму при всех возможных комбинациях входных переменных для обоих триггеров. Сравните их. Определите, какой логический уровень является активным в каждом случае.

2. На основе RS-триггера составьте схему для устранения дребезга контактов, используя свойство RS-триггеры оставаться в одном состоянии при многократном изменении входного сигнала на одном из входов. . Испытайте ее. В дальнейшем используйте ее для создания синхронизирующих импульсов, свободных от дребезга (можете ли вы объяснить, почему нельзя непосредственно использовать сигнал, сформированный тумблером?).

3. Составьте схему для испытания D-триггеров. Схема должна содержать элементы для создания логического уровня на D-входе, источник синхронизирующих импульсов свободных от дребезга (на основе RS-триггера), элементы для начальной установки по R и S входам. Соберите схему, используя предложенный для исследования D-триггер и испытайте ее в различных режимах:

- а) начальная установка в 0 и 1,
- б) запись информации по D-входам.

Определите, в какой момент информация записывается в триггер (по фронту или сразу синхронизирующего импульса) и когда она появляется на выходе. На основе полученных результатов определите тип D-триггера. Снимите временную диаграмму для всевозможных комбинаций входных сигналов, по которой можно однозначно определить тип триггера. Проверьте, имеют ли R и S входы приоритет над входом С.

4. Организуйте счетный запуск триггера и проверьте работу его в этом режиме. Составьте временную диаграмму работы счетчика.

Литература

Гусев В.В. и др. Основы импульсной и цифровой техники.-М.: Сов. Радио, 1975.-с.363-371.

Титце У., Шенк К. Полупроводниковая схемотехника.-Мир, 1982.- с.117-122.

Янсен Й. Курс цифровой электроники, т.1. -М.: Мир, 1987.

Лабораторная работа 4

Триггеры.

Часть 2.

1. Соберите схему для испытания JK-триггера. Для создания сигналов на J и K-входах используйте тумблеры, а для С - схему для устранения дребезга контактов из предыдущей работы. Проверьте работу триггера при различ-

ных комбинациях сигналов. Определите, по какому перепаду сигнала на С-входе происходит запись информации и ее выдача. Продумайте последовательность подачи сигналов так, чтобы по временной диаграмме можно было однозначно определить тип триггера.

2. На основе JK-триггера постройте D-триггер. Испытайте его работу, составьте временную диаграмму и сравните ее с соответствующей диаграммой D-триггера из предыдущей работы. Установите и объясните различия. Проверьте функционирование R и S-входов и сравните с результатами испытаний D-триггера .

3. Организуйте счетный режим, испытайте его и составьте временную диаграмму работы схемы. Сравните ее с соответствующей диаграммой для D-триггера в счетном режиме, объясните различия.

Литература

1. Гусев В.В. и др. Основы импульсной и цифровой техники.-М.:Сов. Радио, 1975.-с.363-371
2. Титце У., Шенк К. Полупроводниковая схемотехника.-М.:Мир, 1982.-с.117-122. Янсен Й. Курс цифровой электроники, т.2. -М.: Мир, 1987.
- 3.

Лабораторная работа 5

Регистры

1. Спроектируйте схему регистра заданного типа на D-триггерах, соберите ее и проверьте работоспособность

2. Составьте временную диаграмму работы регистра для различных режимов работы (запись информации, сдвиг ее, сброс и т.д.).

3. Изучите работу одной из предложенных преподавателем интегральных микросхем регистров, функциональное назначение всех выводов, порядок подачи управляющих сигналов. Включите регистр, испытайте его работу, составьте временные диаграммы. Для индикации состояний регистров используйте светодиоды макета, подключив их к информационным выходам.

Для формирования тактового сигнала (вход С) используйте схему для устранения дребезга контактов .

Литература

Проектирование импульсных и цифровых устройств радиотехнических систем / Под ред. Ю.М.Казаринова.-М.:Высшая школа,1985.-с.51-56.

Титце У., Шенк К. Полупроводниковая схемотехника.-М.:Мир,1982.- с.354-359.

Янсен Й. Курс цифровой электроники, т.2. -М.: Мир, 1987.

Лабораторная работа 6

Счетчики импульсов

1. Спроектируйте схему счетчика с заданными преподавателем параметрами, соберите и испытайте ее. Снимите временную диаграмму, подавая одиночные импульсы со схемы устранения дребезга контактов и определяя состояние по свечению светодиодов, подключенным к информационным выходам счетчика.
2. Подайте на вход счетчика сигнал с выхода генератора импульсов, и с помощью осциллографа изучите временные диаграммы на входах и выходах всех триггеров при различной частоте счетных импульсов.
3. Изучите работу одной из предложенных преподавателем микросхем счетчиков. Для этого включите счетчик и составьте временные диаграммы его работы в различных режимах. Определите тип счетчика (синхронный, асинхронный, двоичный, десятичный и т.д.). Не разбирайте последнюю схему счетчика, она пригодится вам в следующей работе.

Литература

Проектирование импульсных и цифровых устройств радиотехнических систем.-М.:Высшая школа,1985.-с.56-74.

Титце У., Шенк К. Полупроводниковая схемотехника.-М.:Мир,1982.- с.344-354.

Янсен Й. Курс цифровой электроники, т.2. -М.: Мир, 1987.

Лабораторная работа 7

Изучение микросхем памяти

1. Изучите справочную информацию на одну из предложенных микросхем памяти. После того, как вы убедитесь в том, что назначение всех выводов вам понятно, спроектируйте схему для ее испытаний, которая должна обеспечивать формирование всех необходимых сигналов. В качестве сигнала адреса можно использовать счетчик импульсов из предыдущей работы. Придумайте, как использовать "лишние" адресные входы.
2. Соберите схему, проверьте правильность ее функционирования, записывая и считывая информацию (в виде нулей и единиц) по различным адресам. Определите, в какой последовательности должны подаваться сигналы. Попробуйте нарушить эту последовательность при записи и считывании. Прикоснитесь пальцем к информационному выходу, одновременно наблюдая сигнал на нем с помощью осциллографа в режимах записи, считывания и хранения информации. Объясните полученные результаты.
3. Подумайте, как можно использовать микросхему для увеличения емкости памяти. Попытайтесь спроектировать схему ОЗУ на заданную преподавателем информационную емкость.

Литература

Аналоговые и цифровые интегральные микросхемы. Справочное пособие. Под ред.С.В. Якубовского.-М.:Радио и связь,1985.

Лабораторная работа 8

Синтез цифровых автоматов.

Часть 1

1. Пользуясь общей структурной схемой цифрового синхронного автомата составьте принципиальную схему с заданными преподавателем свойствами (регистр, счетчик и т.д.).

2. Составьте таблицу истинности комбинационной части схемы, определите разрядность и информационную емкость ПЗУ необходимого для ее реализации, разрядность регистра.

3. Составьте карту программирования ПЗУ и, после тщательной проверки, запрограммируйте ее с помощью ручного программатора (см. описание программатора для программирования микросхем ППЗУ серии ТТЛ). Будьте особенно внимательны при выполнении этого пункта задания. Помните, что ППЗУ допускает только однократное программирование и допущенную ошибку исправить невозможно.

Лабораторная работа 9

Синтез цифровых автоматов.

Часть 2.

1. Соберите схему спроектированного цифрового автомата, убедитесь в ее работоспособности.

2. Подавая на тактовый вход одиночные сигналы от схемы устранения дребезга контактов, составьте подробную временную диаграмму ее работы при различных входных сигналах. Сравните логику работы полученного автомата с заданной. Если обнаружите различия, попытайтесь найти причину.

Литература

Титце У., Шенк К. Полупроводниковая схемотехника.-М.:Мир,1982.-с.362-368. Хоровиц П., Хилл У. Искусство схемотехники.-М.:Мир,1983.-с.549-554.



МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение
высшего профессионального образования
«Дальневосточный федеральный университет»
(ДФУ)

ШКОЛА ЕСТЕСТВЕННЫХ НАУК

**УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ САМОСТОЯТЕЛЬНОЙ
РАБОТЫ ОБУЧАЮЩИХСЯ**
по дисциплине «Цифровая электроника»
Направление подготовки 09.03.02 Информационные системы и
технологии
профиль «Информационные системы и технологии в связи»
Форма подготовки очная

Владивосток

201

План-график выполнения самостоятельной работы по дисциплине

№ п/п	Дата/сроки выполнения	Вид самостоятельной работы	Примерные нормы времени на выполнение	Форма контроля
1	1-2 недели семестра	Изучение материалов курса по теме 1	4 час.	Тест
2	3 -6 недели семестра	Изучение материалов курса по теме 2	17 час.	Тест
3	7 -12 недели семестра	Изучение материалов курса по теме 3	21 час.	Тест
4	13 -18 недели семестра	Изучение материалов курса по теме 4	21 час.	Тест
8	1-18 недели семестра	Подготовка к экзамену	45 час.	Экзамен
Итого			108 час.	

Рекомендации по самостоятельной работе студентов

В соответствии с план-графиком выполнения самостоятельной работы по дисциплине предусматривается изучение материалов курса (учебная литература, презентации, информация из сети Интернет) по темам и прохождение тестирования.

Методические указания к выполнению заданий

Методические указания к прохождению тестирования

Тестирование проводится в течение 10-15 мин. по теме, которая была представлена на предыдущем занятии. Для прохождения тестирования необходимо проработать теоретические вопросы дисциплины по темам, в соответствии с программой. Примеры тестовых заданий приведены ниже (приложение 2).

Требования к представлению и оформлению результатов самостоятельной работы

Результаты самостоятельной работы отражаются в письменных работах при тестировании учащихся.

Критерии оценки выполнения самостоятельной работы при тестировании:

- полнота и качество выполненных заданий, использование стандартов в ИТ области;
- использование данных отечественной и зарубежной литературы, источников Интернет, информации нормативно правового характера и передовой практики;
- отсутствие фактических ошибок, связанных с пониманием проблемы.



МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение высшего
профессионального образования
«Дальневосточный федеральный университет»
(ДФУ)

ШКОЛА ЕСТЕСТВЕННЫХ НАУК

ФОНД ОЦЕНОЧНЫХ СРЕДСТВ
по дисциплине «Цифровая электроника»
Направление подготовки 09.03.02 Информационные системы и
технологии
профиль «Информационные системы и технологии в связи»
Форма подготовки очная

Владивосток

201

Паспорт ФОС

Код и формулировка компетенции	Этапы формирования компетенции	
ОПК-3 - способность применять основные приемы и законы создания и чтения чертежей и документации по аппаратным и программным компонентам информационных систем	Знает	разновидности чертежей (электрических цифровых схем) и документации по аппаратным и программным компонентам информационных систем
	Умеет	создавать и читать чертежи (электрические цифровые схемы) и документацию
	Владеет	автоматизированными комплексами для создания чертежей (электрических цифровых схем) и документации
ПК-13 - способность разрабатывать средства автоматизированного проектирования информационных технологий	Знает	методы проектирования информационных систем, модели и их описание; объектно-ориентированный подход проектирования систем; стадии и этапы проектирования; типовые решения в области проектирования информационных систем; стадии проектирования, типовые проектные решения
	Умеет	использовать методы проектирования информационных систем в практической деятельности; осуществлять предпроектное исследование области применения информационной системы, определять методы и этапы проектирования; осуществлять определение этапов и разработку плана проектирования информационной системы в соответствии с выбранной методикой.
	Владеет	основными методиками проектирования информационных систем и технологий; основными методиками проведения предпроектного анализа предметной области проектирования; навыком разработки структуры информационной системы, определения функциональных блоков; навыками проектирования информационных систем, в том числе с использованием готовых компонентов.
ПК-20 - способность проводить оценку производственных и непроизводственных затрат на обеспечение качества объекта проектирования	Знает	основные показатели производственных и непроизводственных затрат на обеспечение качества объекта проектирования.
	Умеет	рассчитывать показатели производственных и непроизводственных затрат на обеспечение качества объекта проектирования.

	Владеет	инструментальными средствами обработки информации.
ПК-29 – способность формировать новые конкурентно-способные идеи и реализовывать их в проектах	Знает	способы формирования новых конкурентоспособных идей
	Умеет	выдвигать новые идеи
	Владеет	современными программными пакетами, позволяющими проводить проектирование и моделирование реальных ситуаций

№ п/п	Контролируемые разделы / темы дисциплины	Коды и этапы формирования компетенций	Оценочные средства		
			текущий контроль	промежуточная аттестация	
1	Тема 1. Введение в курс цифровой электроники	ОПК-3	знает	самостоятельная работа	экзамен, вопросы 1-4
			умеет	самостоятельная работа	задание, тип 1
			владеет	самостоятельная работа	задание, тип 1
2	Тема 2. Основы теории логических схем	ОПК-3, ПК-13	знает	самостоятельная работа	экзамен, вопросы 5-10
			умеет	самостоятельная работа	задание, тип 2
			владеет	самостоятельная работа	задание, тип 2
3	Тема 3. Основы построения логических схем	ОПК-3, ПК-13, ПК-20, ПК-29	знает	самостоятельная работа	экзамен, вопросы 11-18
			умеет	самостоятельная работа	задание, тип 3
			владеет	самостоятельная работа	задание, тип 3
4	Тема 4. Основные узлы цифровых устройств	ОПК-3, ПК-13, ПК-20, ПК-29	знает	самостоятельная работа	экзамен, вопросы 19-26
			умеет	самостоятельная работа	задание, тип 4

			владеет	самостоя- тельная рабо- та	задание, тип 4
--	--	--	---------	----------------------------------	-------------------

Шкала оценивания уровня сформированности компетенций

Код и формулировка компетенции	Этапы формирования компетенции		критерии	показатели	баллы
ОПК-3 - способность применять основные приемы и законы создания и чтения чертежей и документации по аппаратным и программным компонентам информационных систем	знает (пороговый уровень)	разновидности чертежей и документации по аппаратным и программным компонентам информационных систем	знание основных приемов и законов создания и чтения чертежей в своей профессиональной деятельности; знание методики работы с документацией по аппаратным и программным компонентам информационных систем.	способность описать разновидности чертежей и документации по аппаратным и программным компонентам информационных систем.	60 - 74
	умеет (продвинутый)	создавать и читать чертежи и документацию	умение создавать и читать чертежи при установке корпоративных информационных систем; умение составлять документацию во время всех этапов жизненного цикла информационной системы.	способность в совершенстве создавать и читать чертежи и документацию.	75 - 89
	владеет (высокий)	автоматизированными комплексами для создания чертежей и документации	владение приемами создания и чтения чертежей при реализации инфоркоммуникационных проектов; владение навыками работы с документацией по аппаратным и программным компонентам	способность в совершенстве владеть автоматизированными комплексами комплексов для создания чертежей и документации.	90 - 100

			информационных систем.		
ПК-13 - способность разрабатывать средства автоматизированного проектирования информационных технологий	знает (пороговый уровень)	методы проектирования информационных систем, модели и их описание; объектно-ориентированный подход проектирования систем; стадии и этапы проектирования; типовые решения в области проектирования информационных систем; стадии проектирования, типовые проектные решения	знание видов входной, выходной и промежуточной информации, участвующей в проектировании; основных этапов, методологии и технологии и средств проектирования информационных систем; стадий проектирования информационных систем; видов входной, выходной и промежуточной информации, используемой в процессе проектирования	способность описать методы проведения теоретических исследований и экспериментов; типовые проектные решения в области разработки программного обеспечения; структуру информационных систем; функциональное назначение объекта проектирования	60 - 74
	умеет (продвинутый)	использовать методы проектирования информационных систем в практической деятельности; осуществлять предпроектное исследование области применения информационной системы, определять методы и этапы проектирования; осуществлять определение этапов и разработку плана проектирования информационной системы в соответствии с выбранной методикой	умение осуществлять разработку технического проекта информационной системы; использовать средства проектирования при разработке информационных систем документировать этапы процесса проектирования информационных систем и технологий; осуществлять подготовку и согласование отчетной документации по проекту; осуществлять проектирование программных средств на основе системного подхода; осуществлять	способность осуществлять процесс разработки инструментальных средств автоматизации проектирования информационных систем и технологий; осуществлять разработку проекта создания информационных систем и технологий; осуществлять исследование моделей информационных систем и технологий на каждом этапе проектирования; обосновать выбор модели проектирования конкретной информационной системы, основываясь на результатах проведенных экспериментальных исследований;	75 - 89
	владе-	основными методи-	владение	способность применить	90 - 100

	ет (высокий)	ками проектирования информационных систем и технологий; основными методами проведения предпроектного анализа предметной области проектирования; навыком разработки структуры информационной системы, определения функциональных блоков; навыками проектирования информационных систем, в том числе с использованием готовых компонентов	навыками оформления программных документов в соответствии со стандартами на каждом этапе процесса проектирования и эксплуатации; методами и средствами проектирования, модернизации и модификации информационных систем; методами и средствами проектирования, модернизации и модификации информационных систем автоматизированного проектирования; навыками проектирования информационных систем и технологий	фактическое и теоретическое знание, практические умения по разработке архитектурных схем для представления ИС в проектной документации	
ПК-20 - способность проводить оценку производственных и непроизводственных затрат на обеспечение качества объекта проектирования	знает (пороговый уровень)	основные показатели производственных и непроизводственных затрат на обеспечение качества объекта проектирования;	знание методики расчета оценки производственных и непроизводственных затрат на обеспечение качества объекта проектирования.	способен объяснить как производится расчет затрат первичных производственных подразделений; описать научно-технические и организационные решения по улучшению деятельности первичных производственных подразделений на основе	60 - 74
	умеет (продвинутый)	рассчитывать показатели производственных и непроизводственных затрат на обеспечение качества объекта проектирования	умение проводить расчет производственных и непроизводственных затрат на обеспечение качества объекта проектирования, использовать методы, модели и современные инструментальные средства для оценки затрат.	способен проводить анализ и оценку производственных и непроизводственных затрат на обеспечение высокого качества продукции, анализ результатов деятельности производственных подразделений	75 - 89
	владе-	инструментальными	владение мето-	способность выбирать и	90 - 100

	ет (высокий)	средствами обработки информации	дами оценки показателей производственных и непроизводственных затрат на обеспечение качества объекта проектирования	обосновывать научно-технические и организационные решения на основе экономических расчетов	
ПК-29 – способность формировать новые конкурентно-способные идеи и реализовывать их в проектах	знает (пороговый уровень)	способы формирования новых конкурентоспособных идей	знание основных принципов создания и оформления проектов, в том числе связанных с численным моделированием	способность описать способы формирования новых конкурентоспособных идей и основные принципы создания и оформления проектов, в том числе связанных с численным моделированием	60 - 74
	умеет (продвинутый)	выдвигать новые идеи	проводить оценку конкурентоспособности идей и предложений	способность самостоятельно выдвигать новые идеи, проводить оценку конкурентоспособности идей и предложений.	75 - 89
	владеет (высокий)	современными программными пакетами, позволяющими проводить проектирование и моделирование реальных ситуаций	владение способностью анализировать имеющуюся научно-техническую информацию; навыками вербализации, содержательного описания наблюдений, интерпретации смысла новых явлений в физических системах	способен на высоком уровне пользоваться навыками вербализации, содержательного описания наблюдений, интерпретации смысла новых явлений в физических системах	90 - 100

Методические рекомендации, определяющие процедуры оценивания результатов освоения дисциплины

Текущая аттестация студентов. Текущая аттестация по дисциплине «Цифровая электроника» проводится в форме контрольных мероприятий (тестирование) по оцениванию фактических результатов обучения студентов осуществляется ведущим преподавателем.

Объектами оценивания выступают:

- учебная дисциплина (активность на занятиях, своевременность выполнения различных видов заданий, посещаемость всех видов занятий по аттестуемой дисциплине);

- степень усвоения теоретических знаний;

- результаты самостоятельной работы.

Оценивание результатов освоения дисциплины на этапе текущей аттестации проводится в соответствии с используемыми оценочными средствами.

Промежуточная аттестация студентов. Промежуточная аттестация студентов по дисциплине «Цифровая электроника» проводится в соответствии с локальными нормативными актами ДВФУ и является обязательной.

Промежуточная аттестация по дисциплине «Цифровая электроника» проводится в виде экзамена, форма экзамена - «устный опрос в форме ответов на вопросы», «практические задания по типам».

Критерии выставления оценки студенту на экзамене по дисциплине «Цифровая электроника»:

Баллы (рейтинговой оценки)	Оценка экзамена (стандартная)	Требования к сформированным компетенциям
86 -100	«отлично»	Оценка «отлично» выставляется студенту, если он глубоко и прочно усвоил программный материал, исчерпывающе, последовательно, четко и логически стройно его излагает, умеет тесно увязывать теорию с практикой, свободно справляется с задачами, вопросами и другими видами применения знаний, причем не затрудняется с ответом при видоизменении заданий, использует в ответе материал монографической литературы, правильно обосновывает принятое решение, владеет разносторонними навыками и приемами выполнения практических задач.
76 - 85	«хорошо»	Оценка «хорошо» выставляется студенту, если он твердо знает материал, грамотно и по существу излагает его, не допуская существенных неточностей в ответе на вопрос, правильно применяет теоретические положения при решении практических вопросов и задач, владеет необходимыми навыками и приемами их выполнения.

61 -75	«удовлетворительно»	Оценка «удовлетворительно» выставляется студенту, если он имеет знания только основного материала, но не усвоил его деталей, допускает неточности, недостаточно правильные формулировки, нарушения логической последовательности в изложении программного материала, испытывает затруднения при выполнении практических работ.
0 -60	«неудовлетворительно»	Оценка «неудовлетворительно» выставляется студенту, который не знает значительной части программного «не материала, допускает существенные ошибки, неуверенно, с большими затруднениями выполняет практические работы. Как правило, оценка «неудовлетворительно» «неудовлетворительно» ставится студентам, которые не могут продолжить обучение без дополнительных занятий по соответствующей дисциплине.

Оценочные средства для промежуточной аттестации

Вопросы к экзамену

32. Двоичная переменная. Основные логические операции.
33. Основные теоремы Булевой алгебры. Теоремы с одной переменной.
34. Основные теоремы Булевой алгебры. Теоремы с двумя и более переменными.
35. Булевы функции. Словесный и табличный способы задания Булевых функций.
36. Алгебраический и числовой способы задания Булевых функций. Примеры.
37. Переход от алгебраической формы к логической схеме и наоборот. Примеры.
38. Функционально полные системы логических элементов.
39. Минимизация Булевых функций. Карты Карно. Примеры.
40. Импульсные сигналы. Основные определения и терминология.
41. Ключи на биполярных транзисторах.
42. Переходные процессы в ключах на биполярных транзисторах.
43. Способы увеличения быстродействия ключей на биполярных транзисторах.
44. Ключи на полевых транзисторах. Ключ с резистивной нагрузкой.

45. Ключи на полевых транзисторах. Ключ с нелинейной нагрузкой.
46. Логические элементы на переключателях и диодах.
47. Резистивно-транзисторная логика. Базовые элементы.
48. Диодно-транзисторная логика. Базовые элементы.
49. Транзисторно-транзисторная логика (ТТЛ). Базовые элементы ТТЛ.
50. Элементы ТТЛ со сложным выходным каскадом, с тремя состояниями.
51. КМОП-логика.
52. Общая характеристика, классификация триггеров. RS-триггеры.
53. Синхронные RS-триггеры. T-триггеры.
54. D- и JK-триггеры.
55. D- и JK-триггеры в счетном режиме.
56. Классификация и назначение регистров. Регистры хранения. Примеры.
57. Сдвиговые и универсальные регистры. Примеры.
58. Классификация и назначение счетчиков.
59. Счетчики с произвольным коэффициентом деления.
60. Классификация и назначение шифраторов и дешифраторов.
61. Мультиплексоры.
62. Назначение, классификация сумматоров. Полусумматор.
63. Полный сумматор. Построение многоразрядных сумматоров.

Типы заданий к экзамену

Тип 1. Привести примеры логических высказываний ИЛИ, И, ИСКЛЮЧАЮЩЕЕ ИЛИ.

Тип 2. Представить произвольное число в виде позиционной системы счисления (двоичное, десятичное, шестнадцатеричное).

Тип 3. Привести и доказать теоремы Булевой алгебры с одной переменной, где x -двоичное число.

Тип 4. Осуществить переход от одной логической операции к другой с помощью теоремы Де Моргана.

Тип 5. Привести пример алгебраического способа задания Булевых функций.

Тип 6. Привести пример табличного способа задания Булевых функций.

Тип 7. Привести пример числового способа задания Булевых функций.

Тип 8. Осуществить переход от алгебраической формы к структурной схеме.

Тип 9. Минимизировать Булеву функцию с помощью карты Карно.

Тип 10. Описать параметры электрического импульса.

Тип 11. Составить электрическую схему ключей, реализующую логическую операцию И, ИЛИ, НЕ.

Тип 12. Привести схемы логических элементов, построенных по типу РТЛ, ДТЛ и ТТЛ.

Тип 13. Привести схему ключа на комплиментарных парах (КМОП).

Типовые тестовые задания

Укажите номера всех правильных ответов (имеется хотя бы один правильный и, хотя бы один неправильный).

1. Укажите правильные ответы.

Булева переменная может быть реализована с помощью:

1. Генератора гармонических колебаний.
2. Механического ключа.
3. Генератора прямоугольных импульсов.
4. Транзисторного ключа.
5. Трансформатора.

2. Впишите недостающее слово.

К последовательным цифровым устройствам относятся такие функциональные блоки, которые имеют элементы с

1. Ключевыми схемами.
2. Генераторами импульсов.

3. Памятью.
4. Транзисторными сборками.

3. Укажите правильный ответ.

Комбинационные устройства характеризуются тем, что сигналы на их выходах:

1. Зависят от предыдущих состояний схемы.
2. Представляет собой импульсные сигналы фиксированной частоты.
3. Не зависят от предыдущих состояний схемы.
4. Усиливаются на величину определяемую коэффициентом передачи.

5. Укажите правильные ответы.

Схемы с открытым коллектором применяются для:

1. Создание усилительных каскадов на цифровых микросхемах.
2. Структура схем с обратными связями.
3. Синтеза схем, в которых несколько элементов работают на одну нагрузку.
4. Синтеза схем, способных отключаться от нагрузки по сигналу управления.
5. Синтеза схем работающих с нагрузкой различного типа.
6. Укажите соответствие.

Название ИС:	Реализуемая функция:
1) Мультиплексор	1) Устройство с несколькими входами и одним выходом, для сравнения пары входных кодов.
2) Демультимплексор	2) Устройство с несколькими входами и выходами, у которого определённым комбинациям входных сигналов соответствует активное состояние одного из выходов.
3) Дешифратор	3) Устройство с памятью, состояние выходов которого зависит от входного цифрового кода и собственного предыдущего состояния.
4) Цифровой компаратор	4) Устройство, которое сигналы с одного информационного входа распределяет в желаемой последовательности по нескольким выходам.

	5) Устройство, которое соединяет в желаемом порядке несколько входных шин с одной выходной.
--	---

7. Укажите правильный ответ.

У синхронных триггеров изменение состояния происходит:

1. При наличии установочного сигнала на одном из его управляющих входов.
2. При наличии управляющих сигналов одновременно на всех его управляющих входах.
3. При отсутствии сигналов на управляющих входах, но при наличии сигнала на командном входе.
4. При одновременном наличии сигналов на управляющем и командном входах.

8. Укажите соответствие.

Тип триггера:	Способ управления:
<ol style="list-style-type: none">1. R-S триггер.2. JK-триггер.3. D-триггер.4. T-триггер.	<ol style="list-style-type: none">1. Смена состояний происходит каждый раз, когда входной сигнал меняет своё значение в заданном направлении.2. Смена состояний происходит при наличии управляющего и тактирующего импульсов.3. Смена состояний осуществляется подачей установочных сигналов на один из двух управляющих входов.4. Смена состояний осуществляется парой управляющих сигналов одного логического значения.5. Смена состояния осуществляется по нескольким парам управляющих входов.

9. Уровень ТТЛ логической единицы равен:

- 1) 12 В;
- 2) 9 В;
- 3) 3,3 В;
- 4) 5 В.

10. Скважностью называют:

- 1) отношение периода импульса к длительности импульса;
- 2) отношение длительности импульса к периоду;
- 3) отношение периода импульса к длительности паузы;

4) отношение длительности импульса к длительности паузы.

11. Частота импульсов на входе 4 разрядного двоичного счетчика равна 1 кГц. Частота 0,25 кГц присутствует на ... выходе счетчика:

- 1) первом;
- 2) втором;
- 3) третьем;
- 4) четвертом.

Примеры вариантов тестовых заданий с ответами

1 вариант

№	Вопрос	Ответ
1	Усилители делятся по диапазону уси- ваемых частот на усилители: а) низкой частоты б) полосовые в) комбинированные	а)
2	Регистр: а) цифровое устройство, логическое со- стояние которого определяется после- довательностью поступления входных сигналов б) цифровой узел, функцией которого является фиксация многоразрядного двоичного кода и выполнение некото- рых преобразований над этим кодом в) ИС универсального назначения, спо- собная выполнять как арифметические операции, так и поразрядные логические операции	б)
3	Устройство, предназначенное для ком- мутации электрических сигналов, назы- вается:	а)

	а) электронным ключом б) дифференциальным усилителем в) операционным усилителем	
--	---	--

2 вариант

№	Вопрос	Ответ
1	Наклон выходных характеристик транзистора для схемы с общей базой численно определяют: а) барьерной емкостью б) дифференциальным сопротивлением коллекторного перехода в) диффузной емкостью	б)
2	От короткого замыкания операционный усилитель защищают: а) стабилизаторы б) резисторы-ограничители + в) диоды смещения	б)
3	Взаимная индуктивность: а) векторная величина, определяемая по силовому воздействию магнитного поля на электрический ток б) магнитный момент единицы объема вещества в) коэффициент пропорциональности между потокосцеплением и током в магнитосвязанных цепях	в)